Fremont Micro Devices

FT61FC6

数据手册

主要特性

8−bit 基于 EEPROM 的 RISC MCU

Program: 6k x 14; RAM: 616 x 8; Data: 128 x 8

8 / 14 / 16 / 20 / 24 / 28 引脚

12−bit 高精度 ADC ($V_{ADC-REF}$ = 0.5V 时为 10−bit 精度)

5 个定时器, 4 路独立 PWM − 1 路带死区控制

SPI, I2C, 2x UART

低 Standby, WDT 和工作电流

POR, LVR, LVD – 单输入比较器

可配置源电流和灌电流

高 ESD, 高 EFT

低 V_{DD} 工作电压

HIRC 可微调

Rev1.10
www.fremontmicro.com

8−bit CPU (EEPROM)

- 37 条 RISC 指令: 2T or 4T
- 16 MHz / 2T (V_{DD} ≥ 2.7)
- 多达 28 个引脚

Memory

- PROGRAM: 6k x 14 bit (读/写保护)
- DATA: 128 x 8 bit (读保护)
- RAM: 616 x 8 bit
- 8 层硬件堆栈
- 扇区加密

工作条件 (5V, 25°C)

- V_{DD} (V_{POR} ≤ 1.9V) V_{POR} – 5.5 V
  (通过 POR 自动调整，0°C 以上 ≤1.7V)
- 工作温度等级 1 $^{-}40 - {}^{+}125$°C
- 工作温度等级 2 $^{-}40 - {}^{+}105$°C
- 工作温度等级 3 $^{-}40 - {}^{+}85$°C
- 低 Standby 0.12 μA
- WDT 2.0 μA
- 正常模式 (16 MHz) 254 μA/mips
- 低功耗模式 (32 kHz) 15 μA

高可靠性

- 100 万次擦写次数 (typical)
- > 20 年 / 85°C 存储 (typical)
- ESD > 5 kV EFT > 5.5 kV

ADC (12−bit)

- 12 bit 分辨率 (11 bit 精度 ≤ 2 MHz ADC 时钟)
- 26 + 1 通道
- $V_{ADC-REF}$
  - ✓ 内部： 0.5, 2.0, 3.0, V_{DD}
  - ✓ 外部： +
- 自动阈值比较和中断

PWM (Total 5 路)

- 支持在 SLEEP 下运行
- 4 个 PWM 通道 (同周期)：独立占空比+极性
- 1 个通道 (多达 2 个 I/O)：互补输出+死区
- 自动故障刹车 (I/O, LVD, ADC)
- 单脉冲模式；蜂鸣器模式

Timers

- WDT (16−bit): 7−bit 后分频
- Timer0 (8−bit): 8−bit 预分频
- Timer1 (12−bit)
- Timer2 (16−bit): 4−bit 预分频和后分频
- Timer3 (8−bit)
- 支持在 SLEEP 下运行
- LIRC, 1 or 2x {指令时钟, HIRC，晶振, EC}

通信接口

- SPI, I2C, 2x UART

I/O PORTS (多达 26 个 I/O)

- 上拉/下拉电阻，开漏
- 26 个 I/O 源电流: 3, 5 or 20 mA (5V, 25°C)
- 26 个 I/O 灌电流: 40 or 55 mA (5V, 25°C)
- 8 个 I/O: 中断/唤醒

电源管理

- SLEEP
- LVR:2.0, 2.2, 2.5, 2.8, 3.1, 3.6, 4.1 (V)
- LVD:1.2, 2.0, 2.4, 2.7, 3.0, 3.3, 3.6, 4.0 (V)
  (LVD 可用作极性可选的单输入比较器功能)

系统时钟 (SysClk)

- HIRC 高速内部振荡器 (可微调)
  - ✓ 16MHz <±1% typical (2.5V, 25°C)
  - ✓ 1, 2, 4, 8, 16, 32, 64 分频
- LIRC 低功耗低速内部振荡器
  - ✓ 32 kHz 或 256 kHz
- EC 外部时钟 (I/O 输入)
- LP / XT 晶振输入
  - ✓ 双速时钟启动 (HIRC 或 LIRC)
  - ✓ 故障保护时钟监控

其他特性 (欢迎垂询)

- ADC 最小分辨率为 0.12mV，精度为 0.49mV，适用于电流检测
- 13.56MHz 载波
- 用于锂电池的电压监控
- ½ V_{DD} LCD 偏置

集成开发环境 (IDE)

- 片上调试 (OCD)，ISP，3 个硬件断点
- 软复位，暂停，单步，跳跃等

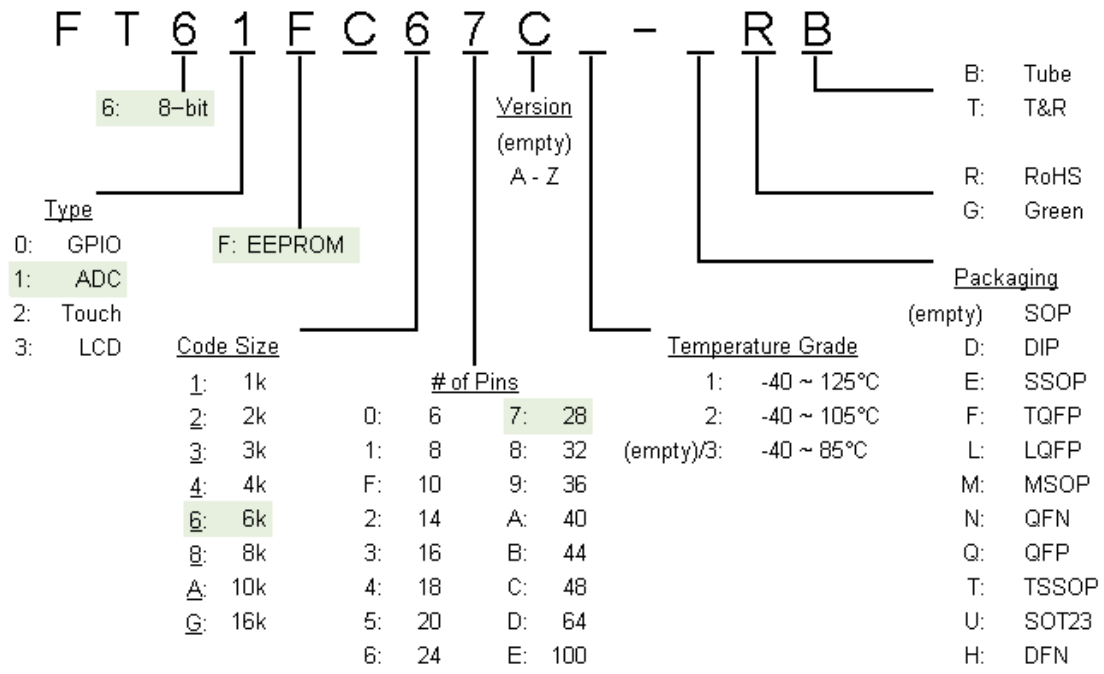
封装

- SOP8 / 14 / 16 / 20 / 28 QFN20
  TSSOP20 / 24 / 28

产品信息和选型表

型号	I/Os	封装
FT61FC61A- ab	6	SOP8
FT61FC62A- ab	12	SOP14
FT61FC63A- ab	14	SOP16
FT61FC65A- ab	18	SOP20
FT61FC65A- Tab		TSSOP20
FT61FC65A- Nab		QFN20
FT61FC66A- Tab	22	TSSOP24
FT61FC67C- ab	26	SOP28
FT61FC67C- Tab		TSSOP28

此处 a = R; RoHS b = B; Tube
= G; Green = T; T&R



MCU 产品订购信息

文档修改历史

日期	版本	描述
2024-08-07	1.00	初版
2024-08-21	1.01	更正特性页和 ADC 章节的笔误
2024-09-19	1.02	更新标准缩写列表； 删除对 PC5 和 PC7 管脚的备注； 更新对 DMY 寄存器的表述； 更新 T0DZ 寄存器； 删除部分不适用的寄存器； 更新 SPI、I2C 和 UART 相关寄存器脚注； 更正笔误
2024-10-18	1.03	更新 ADC 电气特性参数； 更正 T_{VRINT} 引用的错误链接
2024-11-07	1.04	更新中断处理时的备注； 添加同时使能上拉和下拉时的典型电阻值； 更新 ADC V_{REF} 参数表下的备注
2025-01-03	1.05	添加硬件触发 ADC 转换的注意事项； 更新 SOP14 封装信息
2025-02-13	1.06	删除模拟比较器相关内容； 更新图 4-1、图 16-1； 更新 PWM 的占空比特性； 更正笔误
2025-03-24	1.07	更新 ADCS 寄存器描述； 更正笔误
2025-08-01	1.08	更新 IO 源/灌电流； 更正笔误
2025-12-23	1.09	更新对 ISPCLK 引脚的备注； 更新 T2CKRUN 寄存器描述； 更正笔误
2026-03-19	1.10	添加章节 7.1.3； 更正笔误

目录

1 结构框图和引脚 14
1.1. 引脚图 16
1.2. 引脚描述---按功能分类 19
2 I/O 端口 23
2.1. I/O 配置 27
2.2. 引脚输出优先级 28
2.3. IO 端口相关寄存器汇总 29
2.3.1. ANSEL0 (0x11E) 31
2.3.2. ANSEL1 (0x11F) 31
2.3.3. ANSEL2 (0x28C) 31
2.3.4. ANSEL3 (0x28D) 32
2.3.5. TRISA (0x85) 32
2.3.6. TRISB (0x86) 32
2.3.7. TRISC (0x87) 33
2.3.8. TRISD (0x88) 33
2.3.9. PORTA (0x05) 33
2.3.10. PORTB (0x06) 34
2.3.11. PORTC (0x07) 34
2.3.12. PORTD (0x08) 34
2.3.13. WPUA (0x294) 34
2.3.14. WPUB (0x295) 35
2.3.15. WPUC (0x296) 35
2.3.16. WPUD(0x297) 35
2.3.17. WPDA (0x290) 36
2.3.18. WPDB (0x291) 36
2.3.19. WPDC (0x292) 36
2.3.20. WPDD (0x293) 37
2.3.21. ODCONA (0x205) 37
2.3.22. ODCONB (0x206) 37

2.3.23. ODCONC (0x207) 38
2.3.24. ODCOND (0x208) 38
2.3.25. PSRCAL (0x20C) 39
2.3.26. PSRCAH (0x20D) 39
2.3.27. PSRCBL (0x20E) 40
2.3.28. PSRCBH (0x20F) 40
2.3.29. PSRCCL (0x210) 41
2.3.30. PSRCCH (0x211) 41
2.3.31. PSRCDL (0x212) 42
2.3.32. PSRCDH (0x213) 42
2.3.33. PSINKA (0x214) 43
2.3.34. PSINKB (0x215) 43
2.3.35. PSINKC (0x216) 43
2.3.36. PSINKD (0x217) 44
2.3.37. OPTION (0x81) 45
3 复位源及低电压检测 46
3.1. 上电复位 (POR) 46
3.1.1. 初始化配置时序 (BOOT) 46
3.2. 系统复位 48
3.2.1. 欠压复位 (Brown-Out Reset, LVR / BOR) 48
3.2.2. 非法指令复位 (IIlegal Instruction Reset) 49
3.2.3. 看门狗定时器 (Watch Dog Timer, WDT) 复位 49
3.2.4. 外部 I/O 系统复位 /MCLRB 50
3.3. 检测上次复位类型 50
3.4. 低电压检测/比较器 (LVD) 51
3.5. 复位及低电压检测相关寄存器汇总 51
3.5.1. MSCON0 (0x10C) 52
3.5.2. MSCON1 (0x101, 0x301) 53
3.5.3. PCON (0x8E) 54
3.5.4. LVDCON0 (0x21A) 55

3.5.5. LVDTRIM (0x21C) 55
4 振荡器和系统时钟 56
4.1. 内部时钟模式 (HIRC 和 LIRC) 57
4.2. 外部时钟模式 (EC / LP / XT) 58
4.2.1. EC 模式 58
4.2.2. LP 和 XT 模式 58
4.3. HIRC, LIRC 和 EC 时钟的内部切换 60
4.4. 振荡器模块相关寄存器汇总 60
4.4.1. FOSCCALL (0x109) 61
4.4.2. FOSCCALH (0x309) 61
4.4.3. SOSCPRL (0x218) 61
4.4.4. SOSCPRH (0x219) 62
4.4.5. LVDCON0 (0x21A) 62
4.4.6. OSCCON (0x8F) 63
4.4.7. MSCON0 (0x10C) 64
4.4.8. MSCON1 (0x101, 0x301) 65
4.4.9. SCKCFG (0x209) 66
5 低功耗模式 67
5.1. SLEEP 睡眠模式 67
5.1.1. 进入 SLEEP 67
5.1.2. 从 SLEEP 中唤醒 68
5.2. PROM 低功耗模式 69
5.2.1. MSCON0 (0x10C) 70
6 中断 (INTERRUPTS) 71
6.1. INT 和 PORTA 端口变化中断 72
6.2. 中断相关寄存器汇总 73
6.2.1. INTCON (Bank 首地址 + 0x0B) 74
6.2.2. PIE1 (0x8C) 75
6.2.3. PIR1 (0x0C) 76
6.2.4. PIE2 (0x89) 77

6.2.5. PIR2 (0x09) 77
6.2.6. TRISA (0x85) 77
6.2.7. IOCA (0x98) 78
6.2.8. OPTION (0x81) 78
6.2.9. COMAF1 (0x286) 79
6.2.10. COMAF2 (0x287) 80
7 定时器 (TIMERS) 81
7.1. 看门狗定时器 (Watch Dog Timer, WDT) 82
7.1.1. WDT 的设置和使用 82
7.1.2. 在 Timer0 和 WDT 之间切换分频电路 83
7.1.3. 改周期或后分频注意 83
7.2. 定时器 0 (TIMER0) 和 PWM0 84
7.2.1. PWM0 84
7.3. 定时器 1 (TIMER1) 85
7.3.1. Timer1 寄存器的读/写操作 86
7.3.2. Timer1 自动关闭 86
7.4. 定时器 2 (TIMER2) 86
7.4.1. Timer2 寄存器的读/写操作 87
7.5. 定时器 3 (TIMER3) 88
7.5.1. Timer3 时钟源 88
7.5.2. TMR3 寄存器的读写 88
7.5.3. Timer3 中断 88
7.5.4. Timer3 在睡眠模式下的状态 88
7.5.5. Timer3 的 PWM 输出 88
7.6. 定时器相关寄存器汇总 89
7.6.1. WDTCON (0x99) 90
7.6.2. OPTION (0x81) 91
7.6.3. TMR0 (0x01) 92
7.6.4. PR0 (0x107) 92
7.6.5. T0DUTY (0x108) 92

7.6.6. T0CON0 (0x105) 93
7.6.7. PR1L (0x117) 94
7.6.8. PR1H (0x118) 94
7.6.9. TMR1L (0x119) 94
7.6.10. TMR1H (0x11A) 94
7.6.11. T1CON0 (0x106) 95
7.6.12. PR2L (0x17) 96
7.6.13. PR2H (0x18) 96
7.6.14. TMR2L (0x15) 96
7.6.15. TMR2H (0x16) 96
7.6.16. T2CON0 (0x1E) 97
7.6.17. T2CON1 (0x1F) 98
7.6.18. MSCON0 (0x10C) 99
7.6.19. MSCON2 (0x10D) 100
7.6.20. T3CON0 (0x181) 100
7.6.21. TMR3 (0x298) 101
7.6.22. PR3 (0x299) 101
8 PWM 102
8.1. 时钟源 103
8.2. 周期 (Period) 103
8.3. 占空比 (Duty Cycle) 103
8.4. 死区 (Deadband) 时间 103
8.5. 故障刹车 (Fault-Break) 功能 104
8.6. 周期和占空比寄存器的更新 104
8.7. PWM 输出 105
8.8. (P1C, P1D) 和 (P1B, P1C) 的第 2 功能输出 106
8.9. PWM 相关寄存器汇总 107
8.9.1. P1ADTL (0x0D) 108
8.9.2. P1ADTH (0x0E) 108
8.9.3. P1BDTL (0x0F) 108

8.9.4. P1BDTH (0x10) 108
8.9.5. P1CDTL (0x11) 109
8.9.6. P1CDTH (0x12) 109
8.9.7. P1DDTL (0x13) 109
8.9.8. P1DDTH (0x14) 109
8.9.9. TMR2L (0x15) 110
8.9.10. TMR2H (0x16) 110
8.9.11. PR2L (0x17) 110
8.9.12. PR2H (0x18) 110
8.9.13. P1BR0 (0x19) 111
8.9.14. P1BR1 (0x1A) 112
8.9.15. P1POL0 (0x1B) 113
8.9.16. P1POL1 (0x1C) 114
8.9.17. P1CON (0x1D) 114
8.9.18. T2CON0 (0x1E) 115
8.9.19. T2CON1 (0x1F) 116
8.9.20. P1AUX (0x8D) 117
8.9.21. P1OE0 (0x9E) 118
8.9.22. P1OE1 (0x9F) 119
8.9.23. LEBCON (0x10E) 120
8.9.24. ADDLY/LEBPRL (0x110) 120
8.9.25. ADCON2 (0x115) 121
9 数据 EEPROM (DROM) 122
9.1. 写 DROM 122
9.2. 读 DROM 123
9.3. 自动擦除功能 123
9.4. DROM 最后 16 个 byte 124
9.5. DROM 相关寄存器汇总 125
9.5.1. EEDAT (0x9A) 125
9.5.2. EEADR (0x9B) 125

9.5.3. EECON1 (0x9C) 126
9.5.4. EECON2 (0x9D) 126
10 12-bit 模/数转换器 (ANALOG TO DIGITAL CONVERTER, ADC) 127
10.1. ADC 配置 128
10.1.1. ADC 触发和延时配置 129
10.1.2. ADC 中止转换 130
10.1.3. 中断 130
10.2. ADC 采样保持时间 131
10.3. ADC 最短采样时间 131
10.4. ADC 转换步骤示例 132
10.5. ADC 相关寄存器汇总 134
10.5.1. ANSEL0 (0x11E) 134
10.5.2. ANSEL1 (0x11F) 134
10.5.3. ANSEL2 (0x28C) 135
10.5.4. ANSEL3 (0x28D) 135
10.5.5. ADCMPH (0x10F) 135
10.5.6. ADDLY/LEBPRL (0x110) 136
10.5.7. ADRESL (0x111) 136
10.5.8. ADRESH (0x112) 136
10.5.9. ADCON0 (0x113) 137
10.5.10. ADCON1 (0x114) 138
10.5.11. ADCON2 (0x115) 139
10.5.12. ADCON3 (0x116) 140
10.5.13. LEBCON (0x10E) 141
11 SPI 接口 142
11.1. SPI 配置 144
11.1.1. 通信时钟 SCK 144
11.1.2. 数据处理流程 145
11.1.3. 从机模式的睡眠唤醒 146
11.2. SPI 相关寄存器汇总 147

11.2.1. SPICR0 (0x18D) 147
11.2.2. SPICR1 (0x194) 148
11.2.3. SPIDAT (0x18C) 148
11.2.4. SPICFG (0x18E) 149
11.2.5. SPISCR (0x18F) 150
11.2.6. SPIIER (0x193) 150
11.2.7. SPISTAT (0x195) 151
11.2.8. COMAF0 (0x285) 152
11.2.9. ODCONA (0x205) 152
11.2.10. ODCONB (0x206) 153
11.2.11. ODCONC (0x207) 153
11.2.12. ODCOND (0x208) 153
12 I2C 接口 154
12.1. I2C 配置 155
12.1.1. 主机发送模式 155
12.1.2. 主机接收模式 156
12.1.3. 从机发送模式 156
12.1.4. 从机接收模式 157
12.2. I2C 接口相关寄存器汇总 157
12.2.1. I2CCR1 (0x196) 158
12.2.2. I2CCR2 (0x197) 159
12.2.3. I2CADDR (0x198) 160
12.2.4. I2CCCR (0x199) 160
12.2.5. I2CDAT (0x19A) 160
12.2.6. I2CISR (0x19E) 161
12.2.7. COMAF0 (0x285) 162
12.2.8. ODCONA (0x205) 162
12.2.9. ODCONB (0x206) 163
12.2.10. ODCONC (0x207) 163
12.2.11. ODCOND (0x208) 163

13 UARTx 接口 164
13.1. UARTx 异步工作模式 165
13.2. UARTx 接口相关寄存器汇总 166
13.2.1. UR0DATL (0x185) 167
13.2.2. UR0DATH (0x186) 167
13.2.3. UR0CR1 (0x187) 168
13.2.4. UR0CR2 (0x188) 169
13.2.5. UR0BRRL (0x189) 169
13.2.6. UR0STAT (0x19F) 170
13.2.7. UR1DATL (0x90) 171
13.2.8. UR1DATH (0x91) 171
13.2.9. UR1CR1 (0x92) 172
13.2.10. UR1CR2 (0x93) 173
13.2.11. UR1BRRL (0x94) 173
13.2.12. UR1STAT (0x95) 174
13.2.13. COMAF1 (0x286) 175
13.2.14. COMAF2 (0x287) 176
13.2.15. ODCONA (0x205) 176
13.2.16. ODCONB (0x206) 177
13.2.17. ODCONC (0x207) 177
13.2.18. ODCOND (0x208) 177
14 存储区读/写保护 178
15 指令集 (INSTRUCTION SET) 179
16 特殊功能寄存器 (SPECIAL FUNCTION REGISTERS, SFR) 181
16.1. 初始化配置寄存器 181
16.2. 用户寄存器 183
16.3. STATUS 寄存器 (Bank 首地址 + 0x03) 191
16.4. PCL 和 PCLATH 192
16.4.1. MSCON1 (0x101, 0x301) 193
17 电气特性 194

17.1. 极限参数 194
17.2. 工作特性 194
17.3. POR, LVR, LVD 195
17.4. I/O 端口电路 196
17.5. 工作电流(IDD) 196
17.6. 内部振荡器 197
17.7. ADC(12bit) 和 ADC VREF 198
17.8. Program 和 Data EEPROM 200
17.9. EMC 特性 200
18 特性图 201
19 芯片封装信息 206
20 附录：寄存器类型 215
联系信息 216

1 结构框图和引脚

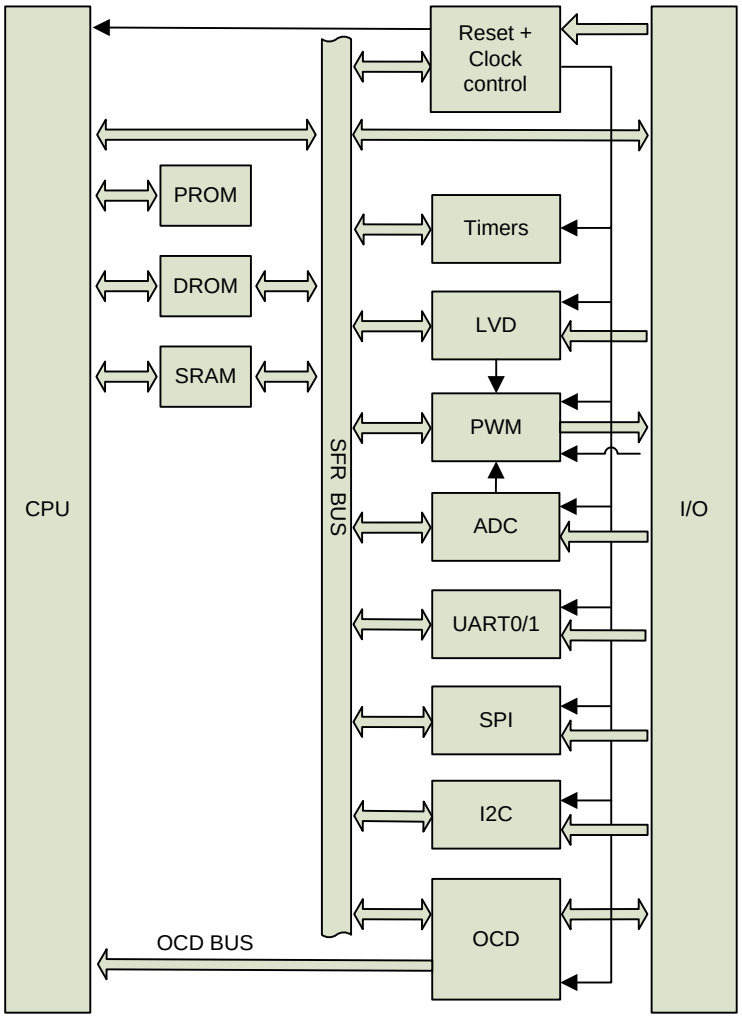


图 1-1 系统结构框图

标准缩写列表如下：

缩写	描述
CPU	Central Processing Unit
SFR	Special Function Registers
SRAM	Static Random Access Memory
DROM	Data EEPROM
PROM	Program EEPROM
Timers	WDT, Timer0, Timer1, Timer2, Timer3
PWM	Pulse Width Modulator
ADC	Analog to Digital Converter
LVD	Low Voltage Detect / comparator
SPI	Serial Peripheral Interface
UART	Universal Asynchronous Receiver Transmitter
I2C	Inter-Integrated Circuit bus (I2C-bus)
OCD	On Chip Debug
I/O	Input / Output

1.1. 引脚图



图 1-2 SOP8 (A) [1]

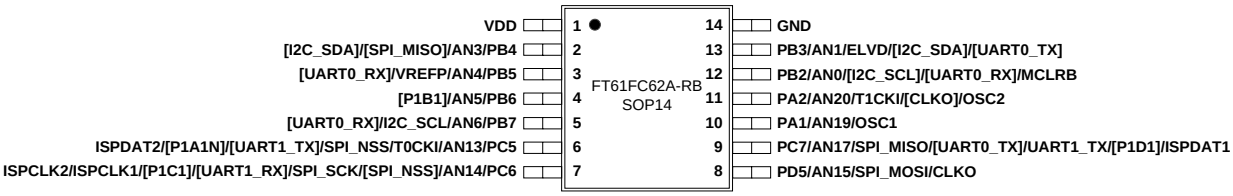


图 1-3 SOP14 (A) [1]

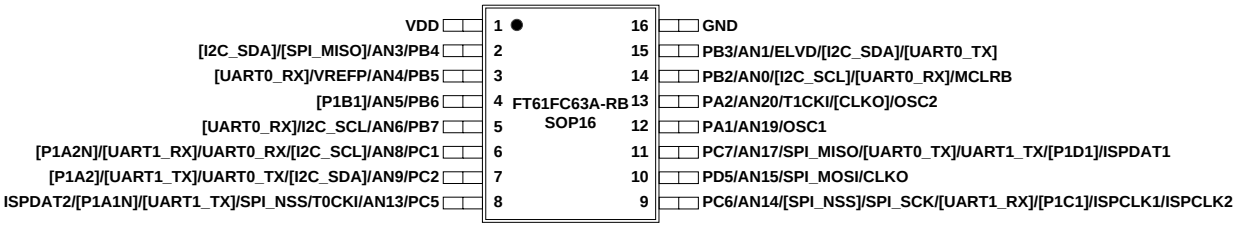


图 1-4 SOP16 (A) [1]

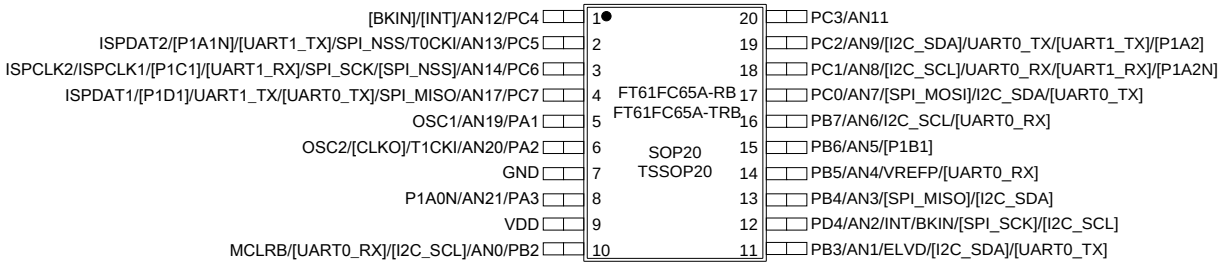


图 1-5 SOP20 / TSSOP20 (A) [1]

[1] ISPCLK 引脚 (PC6) 在 BOOT 复位期间 (~8ms) 将自动使能内部下拉 (约 1kΩ)，用户须评估对应用的影响。



图 1-6 QFN20 (A) [1] [2]

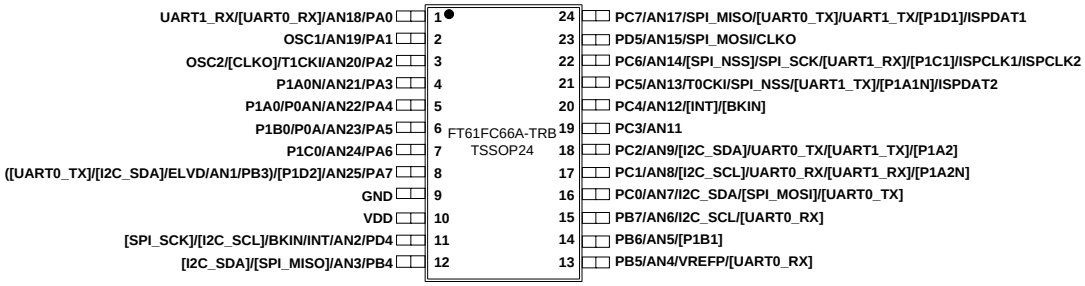


图 1-7 TSSOP24 (A) [1] [3]

[2] 对于 QFN20 封装，底部裸露的焊垫与 GND 连在一起。

[3] PA7 和 PB3 共同打线到 pin-8，如果需要将 PA7 和 PB3 同时设置为输出，则需满足 PORTA7 = PORTB3，另外上拉/下拉的设置也不能与输出值相反。

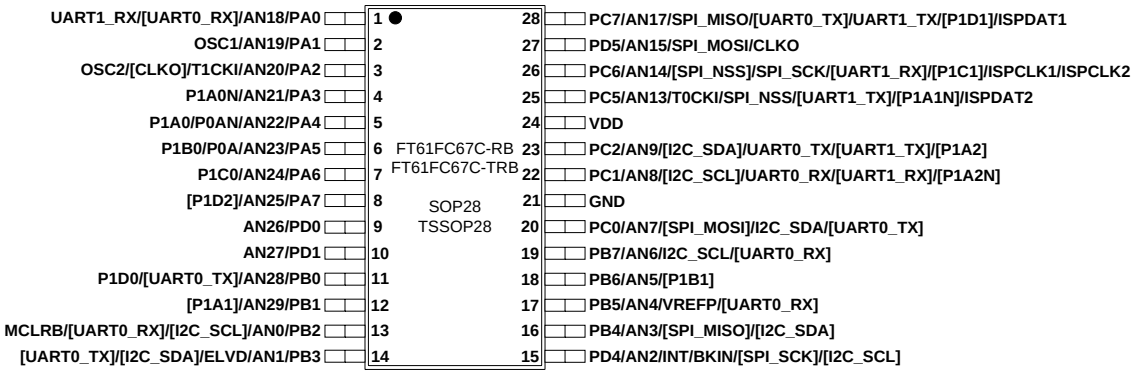


图 1-8 SOP28 / TSSOP28 (C) [1]

1.2. 引脚描述---按功能分类

功能	描述	引脚名	对应GPIO	8(A) pins	14(A) pins	16(A) pins	20(A) pins	QFN20 (A) pins	24(A) pins	28(C) pins
电源		VDD		1	1	1	9	6	10	24
		GND		8	14	16	7	4	9	21
GPIO	上拉/下拉,数字输入,数字输出开漏	PD5			8	10			23	27
		PD4					12	9	11	15
		PD3								
		PD1								10
		PD0								9
		PC7		5	9	11	4	1	24	28
		PC6		4	7	9	3	20	22	26
		PC5			6	8	2	19	21	25
		PC4					1	18	20	
		PC3					20	17	19	
		PC2				7	19	16	18	23
		PC1				6	18	15	17	22
		PC0					17	14	16	20
		PB7			5	5	16	13	15	19
		PB6		3	4	4	15	12	14	18
		PB5		2	3	3	14	11	13	17
		PB4			2	2	13	10	12	16
		PB3		7	13	15	11	8	8	14
		PB2			12	14	10	7		13
		PB1								12
		PB0								11
		PA7							8	8
		PA6							7	7
		PA5							6	6
		PA4							5	5
		PA3					8	5	4	4
		PA2		6	11	13	6	3	3	3
		PA1			10	12	5	2	2	2
		PA0							1	1
LVD	输入	ELVD	PB3	7	13	15	11	8	8	14
外部复位	上拉	/MCLRB	PB2		12	14	10	7		13
时钟	输出	CLKO	PD5		8	10			23	27
		[CLKO]	PA2	6	11	13	6	3	3	3

功能	描述	引脚名	对应 GPIO	8(A) pins	14(A) pins	16(A) pins	20(A) pins	QFN20 (A) pins	24(A) pins	28(C) pins
时钟	Timer0 时钟	T0CKI	PC5		6	8	2	19	21	25
	Timer1 时钟	T1CKI	PA2	6	11	13	6	3	3	3
	OSC +	OSC1	PA1		10	12	5	2	2	2
	OSC −	OSC2	PA2	6	11	13	6	3	3	3
ISP 调试	ISP-Data2	ISPDAT2	PC5		6	8	2	19	21	25
	ISP-Data1	ISPDAT1	PC7	5	9	11	4	1	24	28
	ISP-CLK1/2	ISPCLK1/2	PC6	4	7	9	3	20	22	26
外部边沿中断		INT	PD4				12	9	11	15
		[INT]	PC4				1	18	20	
PORTA 端口变化中断	输入	PA7							8	8
		PA6							7	7
		PA5							6	6
		PA4							5	5
		PA3					8	5	4	4
		PA2		6	11	13	6	3	3	3
		PA1			10	12	5	2	2	2
		PA0							1	1
PWM0		P0A	PA5						6	6
	/PWM0	P0AN	PA4						5	5
PWM1 (死区)		P1A0	PA4						5	5
		[P1A1]	PB1							12
		[P1A2]	PC2			7	19	16	18	23
	/PWM1	P1A0N	PA3				8	5	4	4
	/PWM1	[P1A1N]	PC5		6	8	2	19	21	25
	/PWM1	[P1A2N]	PC1			6	18	15	17	22
PWM2		P1B0	PA5						6	6
		[P1B1]	PB6	3	4	4	15	12	14	18
PWM3		P1C0	PA6						7	7
		[P1C1]	PC6	4	7	9	3	20	22	26
PWM4		P1D0	PB0							11
		[P1D1]	PC7	5	9	11	4	1	24	28
		[P1D2]	PA7						8	8
PWM 故障刹车输入		BKIN	PD4				12	9	11	15
		[BKIN]	PC4				1	18	20	
ADC	输入	AN29	PB1							12
		AN28	PB0							11
		AN27	PD1							10

功能	描述	引脚名	对应GPIO	8(A) pins	14(A) pins	16(A) pins	20(A) pins	QFN20 (A) pins	24(A) pins	28(C) pins
ADC	输入	AN26	PD0							9
		AN25	PA7						8	8
		AN24	PA6						7	7
		AN23	PA5						6	6
		AN22	PA4						5	5
		AN21	PA3				8	5	4	4
		AN20	PA2	6	11	13	6	3	3	3
		AN19	PA1		10	12	5	2	2	2
		AN18	PA0						1	1
		AN17	PC7	5	9	11	4	1	24	28
		AN15	PD5		8	10			23	27
		AN14	PC6	4	7	9	3	20	22	26
		AN13	PC5		6	8	2	19	21	25
		AN12	PC4				1	18	20	
		AN11	PC3				20	17	19	
		AN10	PD3							
		AN9	PC2			7	19	16	18	23
		AN8	PC1			6	18	15	17	22
		AN7	PC0				17	14	16	20
		AN6	PB7		5	5	16	13	15	19
		AN5	PB6	3	4	4	15	12	14	18
		AN4	PB5	2	3	3	14	11	13	17
		AN3	PB4		2	2	13	10	12	16
		AN2	PD4				12	9	11	15
		AN1	PB3	7	13	15	11	8	8	14
		AN0	PB2		12	14	10	7		13
	V_{REF}+	VREFP	PB5	2	3	3	14	11	13	17
	ADC_ETR	ADC_ETR	PD4				12	9	11	15
		[ADC_ETR]	PC4				1	18	20	
SPI	SPI_MISO	SPI_MISO	PC7	5	9	11	4	1	24	28
		[SPI_MISO]	PB4		2	2	13	10	12	16
	SPI_MOSI	SPI_MOSI	PD5		8	10			23	27
		[SPI_MOSI]	PC0				17	14	16	20
	SPI_NSS	SPI_NSS	PC5		6	8	2	19	21	25
		[SPI_NSS]	PC6	4	7	9	3	20	22	26
	SPI_SCK	SPI_SCK	PC6	4	7	9	3	20	22	26
		[SPI_SCK]	PD4				12	9	11	15

功能	描述	引脚名	对应GPIO	8(A) pins	14(A) pins	16(A) pins	20(A) pins	QFN20 (A) pins	24(A) pins	28(C) pins
I2C	I2C_SDA	I2C_SDA	PC0				17	14	16	20
		[I2C_SDA]	PB3	7	13	15	11	8	8	14
		[I2C_SDA]	PB4		2	2	13	10	12	16
		[I2C_SDA]	PC2			7	19	16	18	23
	I2C_SCL	I2C_SCL	PB7		5	5	16	13	15	19
		[I2C_SCL]	PB2		12	14	10	7		13
		[I2C_SCL]	PC1			6	18	15	17	22
		[I2C_SCL]	PD4				12	9	11	15
UART0	UART0_TX	UART0_TX	PC2			7	19	16	18	23
		[UART0_TX]	PB0							11
		[UART0_TX]	PB3	7	13	15	11	8	8	14
		[UART0_TX]	PC0				17	14	16	20
		[UART0_TX]	PC7	5	9	11	4	1	24	28
	UART0_RX	UART0_RX	PC1			6	18	15	17	22
		[UART0_RX]	PA0						1	1
		[UART0_RX]	PB2		12	14	10	7		13
		[UART0_RX]	PB5	2	3	3	14	11	13	17
		[UART0_RX]	PB7		5	5	16	13	15	19
UART1	UART1_TX	UART1_TX	PC7	5	9	11	4	1	24	28
		[UART1_TX]	PC2			7	19	16	18	23
		[UART1_TX]	PC5		6	8	2	19	21	25
	UART1_RX	UART1_RX	PA0						1	1
		[UART1_RX]	PC1			6	18	15	17	22
		[UART1_RX]	PC6	4	7	9	3	20	22	26

表 1-1 按功能分类的引脚描述

注：所有功能并非在所有器件上均可用，可用性取决于封装类型。

2 I/O 端口

根据不同的封装类型，FT61FC6x 系列芯片最多有 26 个 I/O 引脚。共分为 4 组：PORTA、PORTB、PORTC 和 PORTD。**表 2-1** 和 **表 2-2** 列出了所有 I/O 引脚的功能。

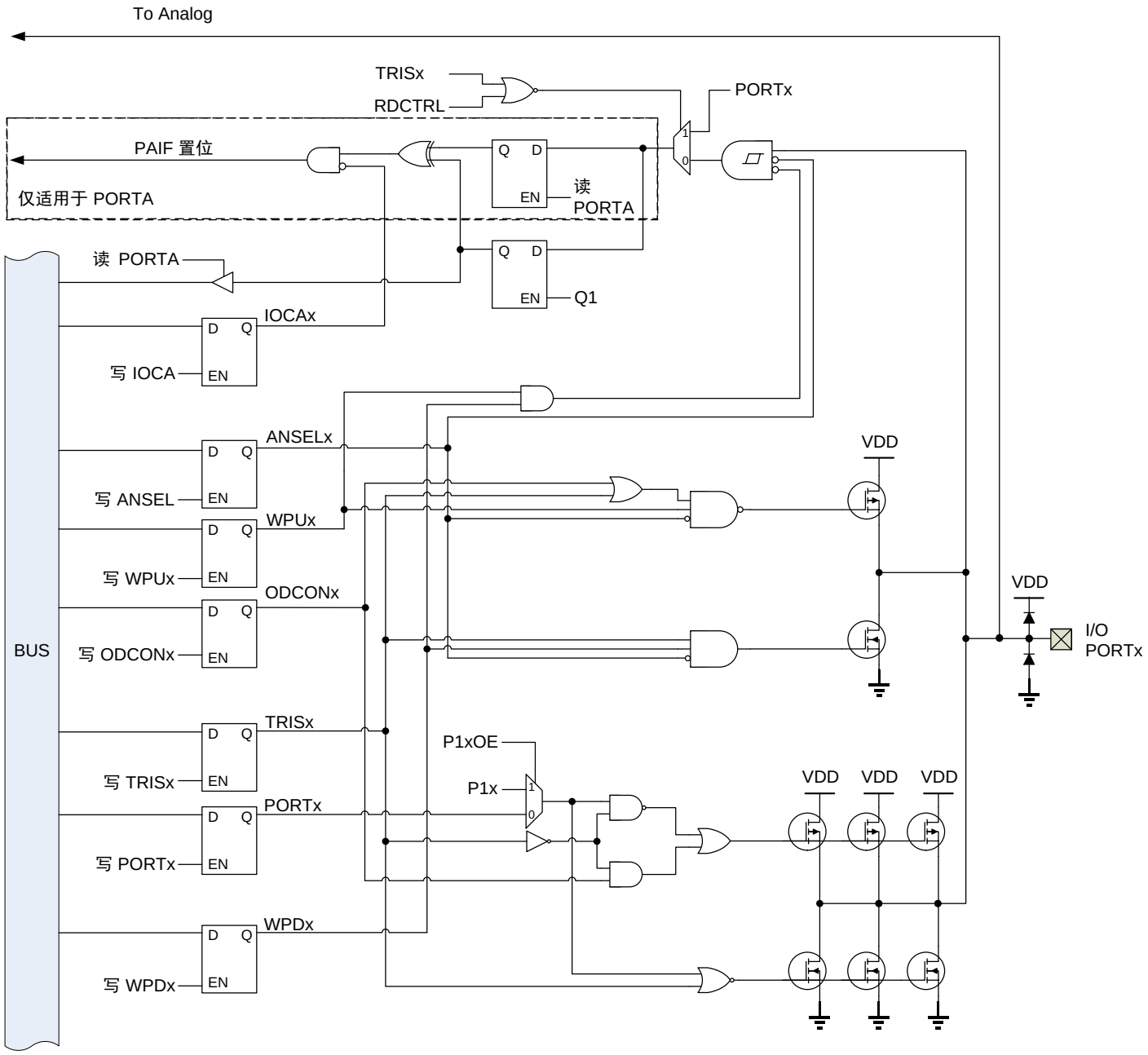


图 2-1 PORT 端口结构框图

所有 I/O 引脚均具有以下功能：

- 数字输出
- 数字输入
- 开漏
- 弱上拉
- 弱下拉

此外，部分 I/O 具有以下特殊功能：

1. 烧录调试引脚 (ISP-Data，ISP-CLK)，硬件内部连接，不需要设置。
2. 通过 IDE 界面选择，且在芯片初始化配置时加载的功能（**表 2-5**）：
   - 外部时钟/晶振输入 (OSC1, OSC2)
   - 内部时钟输出
   - 系统外部复位 (/MCLRB)
3. 通过指令对相应 I/O 引脚进行配置的其他功能，可分为 4 类：
   a) 数字输出
      - PWM
      - 内部时钟输出
   b) 数字输入
      - PWM 故障刹车
      - Timer0 时钟输入
      - Timer1 时钟输入
      - 外部边沿中断 (INT)
      - GPIO 端口变化中断
      - ADC 触发 (ADC_ETR)
   c) 模拟输入
      - LVD / BOR
      - ADC
      - $V_{REF}+$
   d) 通信接口
      - SPI
      - I2C
      - UART0 / UART1

引脚名	ISP 调试	时钟	中断	LVD	PWM	数字 I/O 上拉/下拉	开漏	源电流 (mA)	灌电流 (mA)
PA0			√			√	√	3, 5, 20	40, 55
PA1		OSC+	√			√	√	3, 5, 20	40, 55
PA2		OSC- / [CLKO]	√			√	√	3, 5, 20	40, 55
PA3			√		P1A0N	√	√	3, 5, 20	40, 55
PA4			√		P0AN / P1AN	√	√	3, 5, 20	40, 55
PA5			√		P0A / P1B0	√	√	3, 5, 20	40, 55
PA6			√		P1C0	√	√	3, 5, 20	40, 55
PA7			√		[P1D2]	√	√	3, 5, 20	40, 55
PB0					P1D0	√	√	3, 5, 20	40, 55
PB1					[P1A1]	√	√	3, 5, 20	40, 55
PB2			/MCLRB			√	√	3, 5, 20	40, 55
PB3				ELVD		√	√	3, 5, 20	40, 55
PB4						√	√	3, 5, 20	40, 55
PB5						√	√	3, 5, 20	40, 55
PB6	CLK2				[P1B1]	√	√	3, 5, 20	40, 55
PB7	DAT2					√	√	3, 5, 20	40, 55
PC0						√	√	3, 5, 20	40, 55
PC1					[P1A2N]	√	√	3, 5, 20	40, 55
PC2					[P1A2]	√	√	3, 5, 20	40, 55
PC3						√	√	3, 5, 20	40, 55
PC4			[INT]		[BKIN]	√	√	3, 5, 20	40, 55
PC5	DAT1	T0CKI			[P1A1N]	√	√	3, 5, 20	40, 55
PC6	CLK1				[P1C1]	√	√	3, 5, 20	40, 55
PC7	DAT1				[P1D1]	√	√	3, 5, 20	40, 55
PD0						√	√	3, 5, 20	40, 55
PD1						√	√	3, 5, 20	40, 55
PD3						√	√	3, 5, 20	40, 55
PD4			INT		BKIN	√	√	3, 5, 20	40, 55
PD5		CLKO				√	√	3, 5, 20	40, 55
注：		T1CKI = PA2						V_{DD}=5, V_{DS}=0.5	

表 2-1 I/O 端口功能

注： 所有 IO 支持 3 档可配置源电流驱动能力(参阅 “PSRCx”)，和 2 档可配置灌电流驱动能力 (参阅 “PSINKx”)。

引脚名	ADC	SPI	I2C	UART0	UART1
PA0	AN18			[RX]	RX
PA1	AN19				
PA2	AN20				
PA3	AN21				
PA4	AN22				
PA5	AN23				
PA6	AN24				
PA7	AN25				
PB0	AN28			[TX]	
PB1	AN29				
PB2	AN0		[SCL]	[RX]	
PB3	AN1		[SDA]	[TX]	
PB4	AN3	[MISO]	[SDA]		
PB5	AN4 / (V_{REF}+)			[RX]	
PB6					
PB7	AN6		SCL	[RX]	
PC0	AN7	[MOSI]	SDA	[TX]	
PC1	AN8		[SCL]	RX	[RX]
PC2	AN9		[SDA]	TX	[TX]
PC3	AN11				
PC4	AN12				
PC5	AN13	NSS [NSS]			[TX]
PC6	AN14	SCK			[RX]
PC7	AN17	MISO		[TX]	TX
PD0	AN26				
PD1	AN27				
PD3	AN10				
PD4	AN2	[SCK]	[SCL]		
PD5	AN15	MOSI			

表 2-2 I/O 端口功能 (续)

2.1. I/O 配置

每个 PORT 端口，均需根据其相应功能配置以下 5 个模块：

- 数字输出
- 数字输入
- 开漏
- 弱上拉
- 弱下拉

功能	数字输入	上拉/下拉	数字输出	设置
ISP-DATA	On	Off	On	(硬件内置，忽略指令)
ISP-CLK	On	Off	Off	(硬件内置，忽略指令)
/MCLRB	On	上拉	Off	(初始化配置，忽略指令)
时钟输出	(忽略)	Off	On	(初始化配置，忽略指令)
OSC+ (EC)	On	(可选)	Off	(初始化配置，忽略指令)
OSC+ / OSC− (LP, XT)	Off	Off	Off	(初始化配置，忽略指令)
LVD	Off (4)	Off	Off	TRISx = 1; ANSELx = 1
ADC	Off	Off	Off	TRISx = 1; ANSELx = 1
V_{REF}+	Off	Off	Off	TRISx = 1
SPI / I2C / UARTx 输入	On	(可选)	Off	TRISx = 1
外部边沿中断 (INT)	On	(可选)	Off	TRISx = 1
GPIO 端口变化中断	On	(可选)	Off	TRISx = 1
BKIN	On	(可选)	Off	TRISx = 1
ADC 触发	On	(可选)	Off	TRISx = 1
Timer0 时钟	On	(可选)	Off	TRISx = 1
Timer1 时钟	On	(可选)	Off	TRISx = 1
数字输入	On	(可选)	Off	TRISx = 1
SPI / I2C / UARTx 输出	On	Off	On	TRISx = 0
PWM	On	Off	On	TRISx = 0
数字输出	On	Off	On	TRISx = 0

表 2-3 I/O 配置标志和用户寄存器

注：

1. TRISx = 0：“数字输出”使能，“上拉/下拉”自动关闭 (忽略 WPDx, WPUx)。
2. ANSELx = 1：“上拉”、“下拉”、“数字输入”自动关闭 (忽略 WPDx, WPUx)。
3. 可关闭“数字输入”的唯一指令为“ANSELx = 1”。
4. 将 PORT 端口设置为 LVD 输入时，其“数字输入”、“上拉”和“下拉”功能被自动关闭。
5. “/PAPU = 1”关闭所有 PAx 端口的“弱上拉”功能。PBx、PCx 和 PDx 没有此类控制位。
6. /MCLR 使能：PB2 的弱上拉功能自动使能 (忽略 WPUB[2])；读 PORTB[2] 的值为“0”。
7. 对 PORTx 数据输出寄存器进行写操作，I/O 端口将输出相应的逻辑电平。每组多达 8 个 I/O 的数据寄存器共用相同的地址，写操作实际执行‘读-修改-写’的过程，即先读取该组 PORTx 端口锁存器值 (输出或输入)，然后修改，再写回 PORTx 数据寄存器。

8. 数字输出和数字输入功能可以共存，有些应用需要同时使能数字输出和数字输入。

9. 当 TRISx = 0 时，通过 IDE 界面可选择读取 PORTx 输出或输入锁存器的值。

10. ODCONx = 1：管脚开漏输出。管脚的开漏功能和内部上拉功能可以同时打开。

11. 完全复位或系统复位时，PORTx 寄存器不会复位，但 TRISx 将被重置为“1”，从而关闭输出。

INT 和 PORTA 端口变化中断的设置，请参阅 **章节 6** ”中断”。

2.2. 引脚输出优先级

每个 I/O 引脚均复用多个功能，当相应模块都使能输出时，输出优先级从低到高如 **表 2-4** 所示。因为输入连接到各个功能模块，所以输入不存在优先级问题。

名称	优先级 0	优先级 1	优先级 2	优先级 3	优先级 4
PA0	PA0	–	–	–	–
PA1	PA1	OSC1	–	–	–
PA2	PA2	CLKO	OSC2	–	–
PA3	PA3	P1A0N	–	–	–
PA4	PA4	P0AN	P1A0	–	–
PA5	PA5	P0A	P1B0	–	–
PA6	PA6	P1C0	–	–	–
PA7	PA7	[P1D2]	–	–	–
PB0	PB0	P1D0	–	–	–
PB1	PB1	[P1A1]	–	–	–
PB2	PB2	[I2C_SCL]	–	–	–
PB3	PB3	[UART0_TX]	[I2C_SDA]	–	–
PB4	PB4	[SPI_MISO]	[I2C_SDA]	–	–
PB5	PB5	–	–	–	–
PB6	PB6	[P1B1]	–	–	–
PB7	PB7	I2C_SCL	–	–	–
PC0	PC0	I2C_SDA	[SPI_MOSI]	[UART0_TX]	–
PC1	PC1	[P1A2]	[I2C_SCL]	UART0_TX	–
PC2	PC2	[P1A2N]	[I2C_SDA]	[UART1_TX]	–
PC3	PC3	–	–	–	–
PC4	PC4	–	–	–	–
PC5	PC5	SPI_NSS	[P1A1N]	[UART1_TX]	ISPDAT2
PC6	PC6	SPI_SCK	[SPI_NSS]	[P1C1]	ISPCLK1/2
PC7	PC7	SPI_MISO	[P1D1]	UART1_TX	ISPDAT1
PD0	PD0	–	–	–	–
PD1	PD1	–	–	–	–
PD3	PD3	–	–	–	–
PD4	PD4	[SPI_SCK]	–	–	–
PD5	PD5	SPI_MOSI	[CLKO]	–	–

表 2-4 管脚输出优先级

2.3. IO 端口相关寄存器汇总

名称	功能	默认
RDCTRL	当 TRISx = 0 时，读 PORTx 寄存器的返回值 • 输入锁存器 • 输出锁存器	输出锁存器
MCLRE	外部 I/O 复位	关闭
FOSC	• LP：PA1 (+) 和 PA2 (−) 接外部低速晶振 • XT：PA1 (+) 和 PA2 (−) 接外部高速晶振 • EC：PA1 (+) 接外部时钟输入，PA2 为 I/O • INTOSC：PA2 或 PD5 输出"指令时钟"，PA1 为 I/O • INTOSCIO：PA1 和 PA2 为 I/O	INTOSCIO

表 2-5 I/O 相关初始化配置寄存器

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
ANSEL0	11E	ANSEL0[7:0]								0000 0000
ANSEL1	11F	ANSEL1[7:0]								0000 0000
ANSEL2	28C	ANSEL2[7:1]							-	0000 000-
ANSEL3	28D	-	-	ANSEL3[5:0]						--00 0000
TRISA	85	PORTA 方向控制								1111 1111
TRISB	86	PORTB 方向控制								1111 1111
TRISC	87	PORTC 方向控制								1111 1111
TRISD	88	-	-	PORTD[5:3]方向控制			-	PORTD[1:0]方向控制		--11 1-11
PORTA	5	PORTA[7:0] 数据								xxxx xxxx
PORTB	6	PORTB[7:0] 数据								xxxx xxxx
PORTC	7	PORTC[7:0] 数据								xxxx xxxx
PORTD	8	-	-	PORTD[5:3]数据			-	PORTD[1:0] 数据		--xx x-xx
WPDA	290	PORTA 弱下拉								0000 0000
WPDB	291	PORTB 弱下拉								0000 0000
WPDC	292	PORTC 弱下拉								0000 0000
WPDD	293	-	-	PORTD[5:3]弱下拉			-	PORTD[1:0]弱下拉		--00 0-00
WPUA	294	PORTA 弱上拉								1111 1111
WPUB	295	PORTB 弱上拉								0000 0000
WPUC	296	PORTC 弱上拉								0000 0000
WPUD	297	-	-	PORTD[5:3]弱上拉			-	PORTD[1:0]弱上拉		--00 0-00
ODCONA	205	PORTA 开漏								0000 0000
ODCONB	206	PORTB 开漏								0000 0000
ODCONC	207	PORTC 开漏								0000 0000
ODCOND	208	-	-	PORTD[5:3]开漏			-	PORTD[1:0]开漏		--00 0-00
PSRCAL	20C	PA3, PA2, PA1, PA0 源电流设置								1111 1111
PSRCAH	20D	PA7, PA6, PA5, PA4 源电流设置								1111 1111
PSRCBL	20E	PB3, PB2, PB1, PB0 源电流设置								1111 1111
PSRCBH	20F	PB7, PB6, PB5, PB4 源电流设置								1111 1111
PSRCCL	210	PC3, PC2, PC1, PC0 源电流设置								1111 1111
PSRCCH	211	PC7, PC6, PC5,OC4 源电流设置								1111 1111
PSRCDL	212	PD3 源电流设置		-	-	PD1, PD0 源电流设置				11-- 1111
PSRCDH	213	-	-	-	-	PD5, PD4 源电流设置				---- 1111
PSINKA	214	PORTA 灌电流设置								0000 0000
PSINKB	215	PORTB 灌电流设置								0000 0000
PSINKC	216	PORTC 灌电流设置								0000 0000
PSINKD	217	-	-	PORTD[5:3]灌电流设置			-	PORTD[1:0]灌电流设置		--00 0-00
IOCA	98	IOCA[7:0]								0000 0000
OPTION	81	/PAPU	INTEDG	T0CS	T0SE	PSA	PS[2:0]			1111 1111

表 2-6 I/O 相关用户寄存器地址和复位值

2.3.1. ANSEL0 (0x11E)

Bit	7	6	5	4	3	2	1	0
Name	ANSEL0[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ANSEL0	AN[7:0] 引脚功能： 1 = 模拟输入 0 = 数字 I/O

2.3.2. ANSEL1 (0x11F)

Bit	7	6	5	4	3	2	1	0
Name	ANSEL1[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ANSEL1	AN[15:8] 引脚功能： 1 = 模拟输入 0 = 数字 I/O

2.3.3. ANSEL2 (0x28C)

Bit	7	6	5	4	3	2	1	0
Name	ANSEL2[7:1]							-
Type	RW	RW	RW	RW	RW	RW	RW	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:1	ANSEL2	AN[23:17] 引脚功能： 1 = 模拟输入 0 = 数字 I/O
0	N/A	保留位

2.3.4. ANSEL3 (0x28D)

Bit	7	6	5	4	3	2	1	0
Name	–	–	ANSEL3[5:0]					
Type	RO	RO	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:0	ANSEL3	AN[29:24] 引脚功能： 1 = 模拟输入 0 = 数字 I/O

2.3.5. TRISA (0x85)

Bit	7	6	5	4	3	2	1	0
Name	TRISA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	TRISA	PORTA[7:0] 方向控制： 1 = 输入 0 = 输出

2.3.6. TRISB (0x86)

Bit	7	6	5	4	3	2	1	0
Name	TRISB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	TRISB	PORTB[7:0] 方向控制： 1 = 输入 0 = 输出

2.3.7. TRISC (0x87)

Bit	7	6	5	4	3	2	1	0
Name	TRISC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	TRISC	PORTC[7:0] 方向控制： 1 = 输入 0 = 输出

2.3.8. TRISD (0x88)

Bit	7	6	5	4	3	2	1	0
Name	–	–	TRISD[5:3]			–	TRISD[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	1	1	1	0	1	1

Bit	Name	Function
7:6	N/A	保留位
5:3	TRISD[5:3]	PORTD[5:3] 方向控制： 1 = 输入 0 = 输出
2	N/A	保留位
1:0	TRISD[1:0]	PORTD[1:0] 方向控制： 1 = 输入 0 = 输出

2.3.9. PORTA (0x05)

Bit	7	6	5	4	3	2	1	0
Name	PORTA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	x	x	x	x	x	x	x	x

Bit	Name	Function
7:0	PORTA	PORTA 数据寄存器

2.3.10. PORTB (0x06)

Bit	7	6	5	4	3	2	1	0
Name	PORTB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	x	x	x	x	x	x	x	x

Bit	Name	Function
7:0	PORTB	PORTB 数据寄存器

2.3.11. PORTC (0x07)

Bit	7	6	5	4	3	2	1	0
Name	PORTC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	x	x	x	x	x	x	x	x

Bit	Name	Function
7:0	PORTC	PORTC 数据寄存器

2.3.12. PORTD (0x08)

Bit	7	6	5	4	3	2	1	0
Name	–	–	PORTD[5:3]			–	PORTD[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	x	x	x	0	x	x

Bit	Name	Function
7:6	N/A	保留位
5:3	PORTD[5:3]	PORTD[5:3]数据寄存器
2	N/A	保留位
1:0	PORTD[1:0]	PORTD[1:0]数据寄存器

2.3.13. WPUA (0x294)

Bit	7	6	5	4	3	2	1	0
Name	WPUA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	WPUA	PORTA[7:0] 弱上拉： 1 = 使能 0 = 关闭

2.3.14. WPUB (0x295)

Bit	7	6	5	4	3	2	1	0
Name	WPUB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	WPUB	PORTB[7:0] 弱上拉： 1 = 使能 0 = 关闭

2.3.15. WPUC (0x296)

Bit	7	6	5	4	3	2	1	0
Name	WPUC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	WPUC	PORTC[7:0] 弱上拉： 1 = 使能 0 = 关闭

2.3.16. WPUD(0x297)

Bit	7	6	5	4	3	2	1	0
Name	-	-	WPUD[5:3]			-	WPUD[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:3	WPUD[5:3]	PORTD[5:3] 弱上拉： 1 = 使能 0 = 关闭
2	N/A	保留位
1:0	WPUD[1:0]	PORTD[1:0] 弱上拉： 1 = 使能 0 = 关闭

2.3.17. WPDA (0x290)

Bit	7	6	5	4	3	2	1	0
Name	WPDA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	WPDA	PORTA[7:0] 弱下拉： 1 = 使能 0 = 关闭

2.3.18. WPDB (0x291)

Bit	7	6	5	4	3	2	1	0
Name	WPDB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	WPDB	PORTB[7:0] 弱下拉： 1 = 使能 0 = 关闭

2.3.19. WPDC (0x292)

Bit	7	6	5	4	3	2	1	0
Name	WPDC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	WPDC	PORTC[7:0] 弱下拉： 1 = 使能 0 = 关闭

2.3.20. WPDD (0x293)

Bit	7	6	5	4	3	2	1	0
Name	–	–	WPDD[5:3]			–	WPDD[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:3	WPDD[5:3]	PORTD[5:3] 弱下拉： 1 = 使能 0 = 关闭
2	N/A	保留位
1:0	WPDD[1:0]	PORTD[1:0] 弱下拉： 1 = 使能 0 = 关闭

2.3.21. ODCONA (0x205)

Bit	7	6	5	4	3	2	1	0
Name	ODCONA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONA	PORTA[7:0] 开漏输出： 1 = 使能 0 = 关闭

2.3.22. ODCONB (0x206)

Bit	7	6	5	4	3	2	1	0
Name	ODCONB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONB	PORTB[7:0] 开漏输出： 1 = 使能 0 = 关闭

2.3.23. ODCONC (0x207)

Bit	7	6	5	4	3	2	1	0
Name	ODCONC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONC	PORTC[7:0] 开漏输出： 1 = 使能 0 = 关闭

2.3.24. ODCOND (0x208)

Bit	7	6	5	4	3	2	1	0
Name	–	–	ODCOND[5:3]			–	ODCOND[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:3	ODCOND[5:3]	PORTD[5:3] 开漏输出： 1 = 使能 0 = 关闭
2	N/A	保留位
1:0	ODCOND[1:0]	PORTD[1:0] 开漏输出： 1 = 使能 0 = 关闭

2.3.25. PSRCAL (0x20C)

Bit	7	6	5	4	3	2	1	0
Name	PSRCAL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:6	PSRCAL[7:6]	PA3 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
5:4	PSRCAL[5:4]	PA2 源电流 (同上)
3:2	PSRCAL[3:2]	PA1 源电流 (同上)
1:0	PSRCAL[1:0]	PA0 源电流 (同上)

2.3.26. PSRCAH (0x20D)

Bit	7	6	5	4	3	2	1	0
Name	PSRCAH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:6	PSRCAH[7:6]	PA7 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
5:4	PSRCAH[5:4]	PA6 源电流 (同上)
3:2	PSRCAH[3:2]	PA5 源电流 (同上)
1:0	PSRCAH[1:0]	PA4 源电流 (同上)

2.3.27. PSRCBL (0x20E)

Bit	7	6	5	4	3	2	1	0
Name	PSRCBL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:6	PSRCBL[7:6]	PB3 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
5:4	PSRCBL[5:4]	PB2 源电流 (同上)
3:2	PSRCBL[3:2]	PB1 源电流 (同上)
1:0	PSRCBL[1:0]	PB0 源电流 (同上)

2.3.28. PSRCBH (0x20F)

Bit	7	6	5	4	3	2	1	0
Name	PSRCBH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:6	PSRCBH[7:6]	PB7 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
5:4	PSRCBH[5:4]	PB6 源电流 (同上)
3:2	PSRCBH[3:2]	PB5 源电流 (同上)
1:0	PSRCBH[1:0]	PB4 源电流 (同上)

2.3.29. PSRCCL (0x210)

Bit	7	6	5	4	3	2	1	0
Name	PSRCCL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:6	PSRCCL[7:6]	PC3 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
5:4	PSRCCL[5:4]	PC2 源电流 (同上)
3:2	PSRCCL[3:2]	PC1 源电流 (同上)
1:0	PSRCCL[1:0]	PC0 源电流 (同上)

2.3.30. PSRCCH (0x211)

Bit	7	6	5	4	3	2	1	0
Name	PSRCCH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:6	PSRCCH[7:6]	PC7 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
5:4	PSRCCH[5:4]	PC6 源电流 (同上)
3:2	PSRCCH[3:2]	PC5 源电流 (同上)
1:0	PSRCCH[1:0]	PC4 源电流 (同上)

2.3.31. PSRCDL (0x212)

Bit	7	6	5	4	3	2	1	0
Name	PSRCDL[7:6]		–	–	PSRCDL[3:0]			
Type	RW	RW	RO	RO	RW	RW	RW	RW
Reset	1	1	0	0	1	1	1	1

Bit	Name	Function
7:6	PSRCDL[7:6]	PD3 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
5:4	N/A	保留位
3:2	PSRCDL[3:2]	PD1 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
1:0	PSRCDL[1:0]	PD0 源电流 (同上)

2.3.32. PSRCDH (0x213)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	PSRCDH[3:0]			
Type	RO	RO	RO	RO	RW	RW	RW	RW
Reset	0	0	0	0	1	1	1	1

Bit	Name	Function
7:4	N/A	保留位
3:2	PSRCDH[3:2]	PD5 源电流： 00 = 3 mA 01 / 10 = 5 mA 11 = 20 mA
1:0	PSRCDH[1:0]	PD4 源电流 (同上)

2.3.33. PSINKA (0x214)

Bit	7	6	5	4	3	2	1	0
Name	PSINKA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	PSINKA	PORTA[7:0] 灌电流： 1 = 55 mA 0 = 40 mA

2.3.34. PSINKB (0x215)

Bit	7	6	5	4	3	2	1	0
Name	PSINKB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	PSINKB	PORTB[7:0] 灌电流： 1 = 55 mA 0 = 40 mA

2.3.35. PSINKC (0x216)

Bit	7	6	5	4	3	2	1	0
Name	PSINKC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	PSINKC	PORTC[7:0] 灌电流： 1 = 55 mA 0 = 40 mA

2.3.36. PSINKD (0x217)

Bit	7	6	5	4	3	2	1	0
Name	–	–	PSINKD[5:3]			–	PSINKD[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:3	PSINKD[5:3]	PORTD[5:3] 灌电流： 1 = 55 mA 0 = 40 mA
2	N/A	保留位
1:0	PSINKD[1:0]	PORTD[1:0] 灌电流： 1 = 55 mA 0 = 40 mA

2.3.37. OPTION (0x81)

Bit	7	6	5	4	3	2	1	0
Name	/PAPU	INTEDG	T0CS	T0SE	PSA	PS[2:0]		
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function		
7	/PAPU	PORTA 弱上拉： 1 = 关闭所有 PORTA 上拉功能 0 = 上拉由 WPUA 控制		
6	INTEDG	INT 外部中断有效沿选择： 1 = 上升沿 0 = 下降沿		
5	T0CS	Timer0 输入源： 1 = PC5/T0CKI (计数器) 0 = T0CKSRC (定时器)		
4	T0SE	Timer0 计数器触发沿： 1 = 下降沿 0 = 上升沿		
3	PSA	分频电路分配位： 1 = 分配给 WDT 后分频器 0 = 分配给 Timer0 预分频器		
2:0	PS[2:0]		WDT 后分频比	Timer0 预分频比
		000	1	2
		001	2	4
		010	4	8
		011	8	16
		100	16	32
		101	32	64
		110	64	128
		111	128	256
		xxx	(PSA = 0) 1	(PSA = 1) 1

3 复位源及低电压检测

3.1. 上电复位 (POR)

上电过程，即 V_{DD} 从低于 Power-On-Reset 电压(V_{POR})上升至高于 V_{POR} 的过程。当 CPU 重新上电时，V_{DD} 可能没有完全掉电至 0V。

1. 当 V_{DD} 低于 V_{POR} 时，CPU 处于完全复位状态。
   a. 所有校准配置寄存器不复位。除 INDF、Z、HC、C、FSR、TMR0、PORTx、FOSCCALL/H、ADRESL/H、SPICFG、SPISCR、SPIIER、SPICR1、I2CCR1/2、I2CADDR、I2CCCR、I2CDAT、URxSTAT、URxDATL/H、URxCR1/2、URxBRRL/H、SECCODE、LVDTRIM 和 SRAM 以外（参阅 **章节 16** ”特殊功能寄存器”）的其他特殊功能寄存器 (Special Function Registers, SFR) 均处于复位状态。而不复位的寄存器如 SRAM，将保持其数据直至 V_{DD} 降到 0.6V(典型值)，当 V_{DD} 低于 0.6V 时，其值为不确定值。
   b. 程序计数器 PC = 0x00，指令寄存器 = “NOP”，堆栈指针 = “TOS” (栈顶)。
2. 当 V_{DD} 上升至 V_{POR} 以上时，芯片开始初始化配置(BOOT)过程。
3. 初始化配置完成后，指令将从 PC = 0x00 地址开始执行。

常温(25°C)下，V_{POR} 的典型值~1.6V，低温(-40°C)上升至~1.9V。当 $V_{DD} \geq V_{POR}$ 时, CPU 即可在较低的速度 8 MHz / 2T 下正常工作，因此 V_{DD} 的工作范围随温度变化而自动调整。此特性对于电池供电系统来说很重要，在典型的电池工作环境中，当电池电压低至~1.6V 时，CPU 仍可工作，从而提高电池使用寿命。

注：

1. V_{POR} 不可配置。

2. POR 的硬件电路默认为开启状态，当 V_{DD} 电压低于 V_{POR} 时即执行芯片电源复位，而不是仅在上电时执行。

3.1.1. 初始化配置时序 (BOOT)

名称	功能	默认
PWRTEB	上电延时定时器，初始化配置完成后额外延时~64ms	关闭
CSUMENB	程序空间校验和的验证功能	关闭

表 3-1 初始化配置

以上 2 种初始化配置，均由 IDE 界面设置，不能通过指令修改。初始化配置过程：

1. CPU 空闲等待约 8ms。
2. 从非易失性存储器中加载初始化配置寄存器值，该过程约 2ms。这些寄存器值由 IDE 预先设置，不受指令影响。
3. 如果使能上电延时定时器(Power-On-Timer, PWRT)，CPU 将额外空闲等待约 64ms。
4. 如果使能校验和(Checksum, CSUM)，该功能将对整个程序空间进行累加并校验。
   a. 如果校验失败，CPU 将从空闲等待约 8ms 开始重新启动初始化配置过程。
   b. 如果校验成功，且没有其他复位条件限制，则 CPU 开始执行指令。

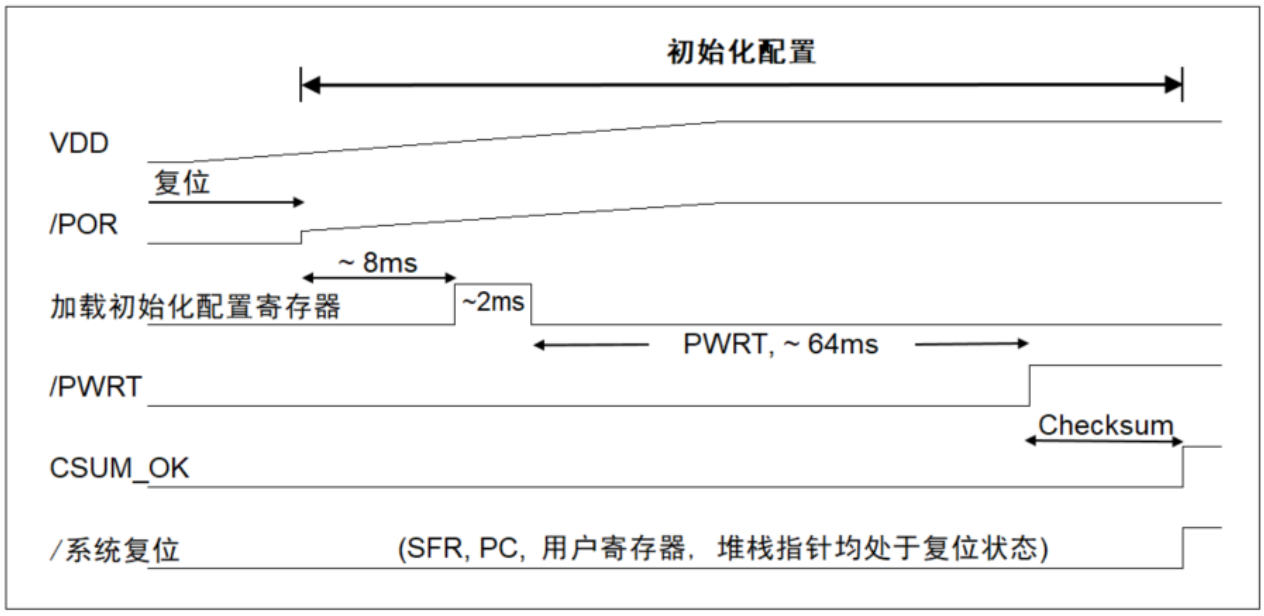


图 3-1 上电时序（PWRT 和 Checksum 使能)

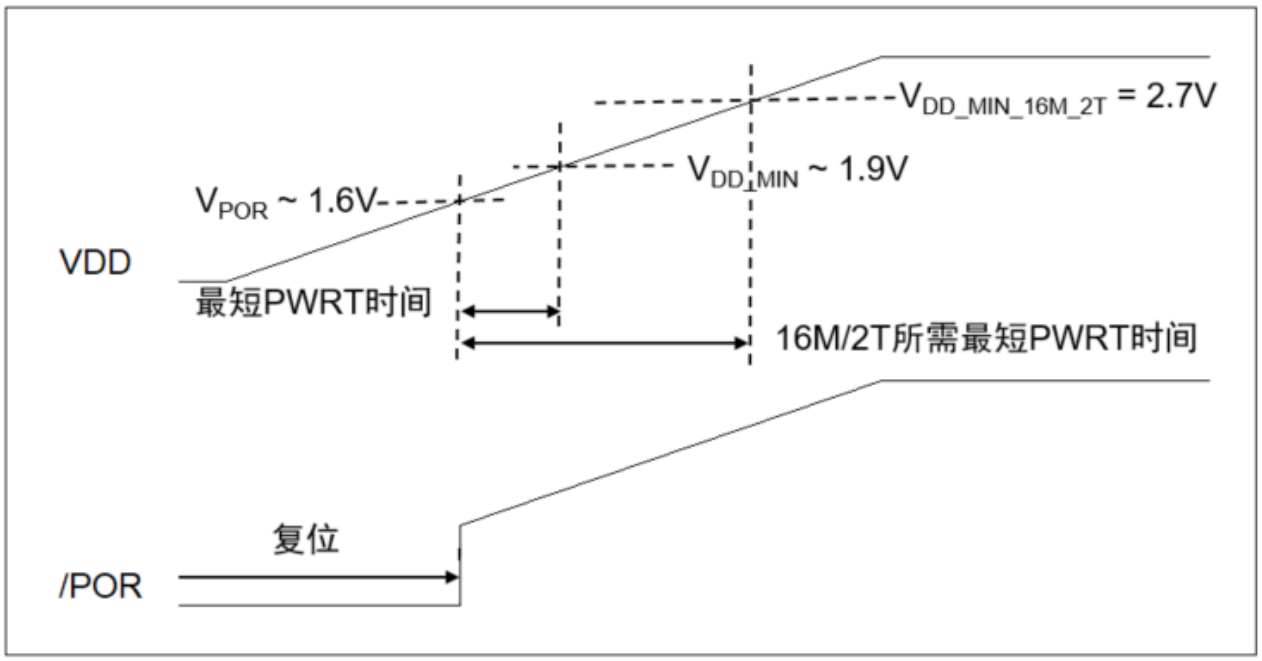


图 3-2 上电过程所需最小 PWRT 时间

如果 CPU 需要在 16MHz / 2T 的速度下运行，那么在初始化配置(BOOT)结束时 V_{DD} 必须高于 2.7V。通过使能 PWRT，可使初始化配置时间从~10ms 增加至~74ms，从而提高电源系统的稳定时间。

在以 16MHz / 2T 的速度运行时，应使能 LVR 且设置 V_{BOR} ≥ 2.7V。另外，可通过指令控制 LVR 使能的频率以不时地监测 V_{DD}，而无需一直使能(参阅“LVREN”, “SLVREN”)以降低功耗。

注:

1. V_{DD} 上电过程不可以太慢，另外不建议 V_{DD} 的电容 C_{VDD} ≥ 22 μF。
2. V_{DD} 电容值以 1 到 10μF 为佳。出于 EFT 性能考虑，C_{VDD} < 1μF 可能太小。
3. 如果可以接受启动延时，那么建议使能 PWRT 以提高 CPU 的稳定性。

3.2. 系统复位

与 POR 不同，系统复位(system reset) 并不会完全复位。系统复位时，CPU 是否启动初始化配置过程则取决于复位触发类型。若启动初始化配置则空闲等待~8ms，然后重新加载初始化配置寄存器值，如果使能 PWRT 将额外延时~64ms，随后系统正常启动。在系统复位中：

- 除初始化配置寄存器外，POR 过程中被重置的寄存器在系统复位时也会被同样重置；
- 程序计数器 PC = 0x00，指令寄存器 = “NOP”，堆栈指针 = “TOS” (栈顶)；

除仿真调试的 OCD(On-Chip Debugger) 模块外，以下 4 种事件可触发系统复位：

1. 欠压复位 (BOR / LVR) – 总会启动初始化配置。
2. 非法指令复位 – 如果使能 “IRBTE” 则启动初始化配置。
3. 看门狗复位 (WDT) – 如果 CPU 处于非 SLEEP 状态且使能 “WDTBTE” 则启动初始化配置。
4. 外部 I/O 复位 (/MCLRB) – 如果使能 “MRBTE” 则启动初始化配置。

注： 如果可以接受更长的系统重启时间，则建议使能初始化配置过程(BOOT)以提高系统的稳定性。

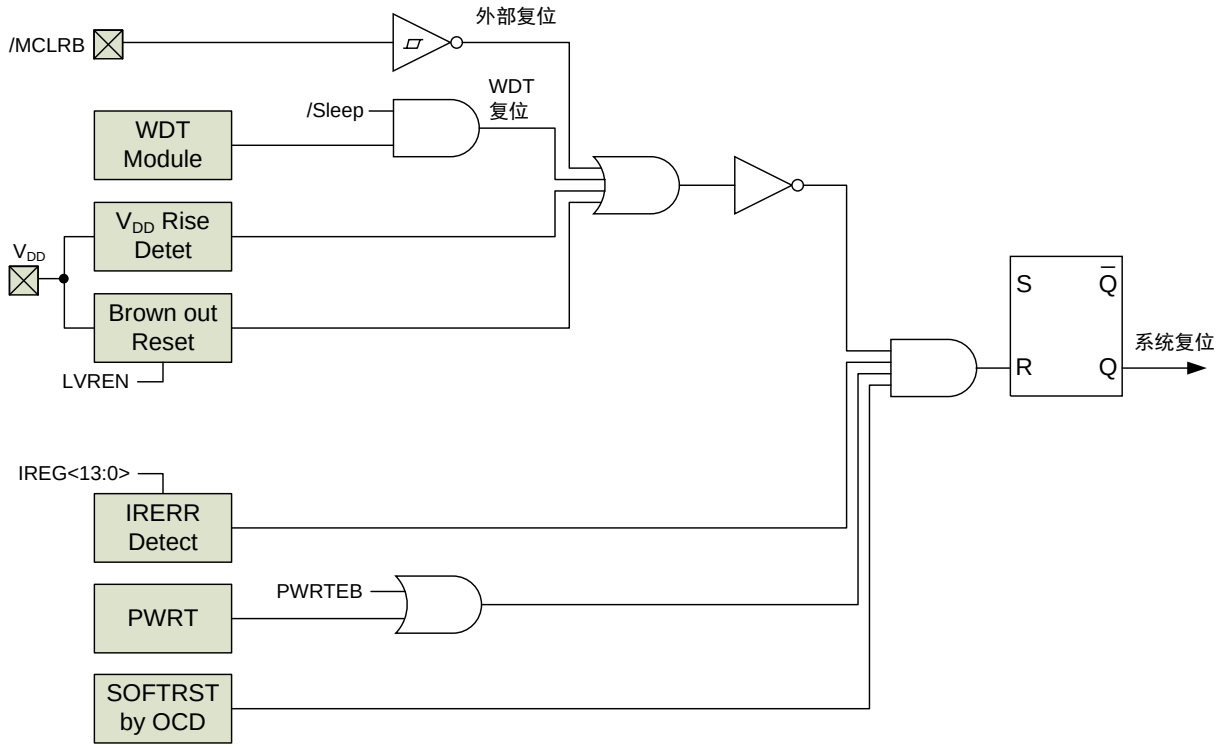


图 3-3 复位电路结构框图

3.2.1. 欠压复位 (Brown-Out Reset, LVR / BOR)

当 V_{DD} 值降低并低于预设的欠压值 (V_{BOR}) 超过 T_{BOR} 时间时，就会出现欠压状态。消抖时间 T_{BOR} 大概为 3 到 4 个 LIRC 或 HIRC 时钟周期 (参阅 “LVRDEB” 和 ”LVRCKS”，如果未预先启动，LIRC 或 HIRC 将自动开启)。当 $V_{DD} \le V_{BOR}$ 时， CPU 保持系统复位状态，直至 $V_{DD} > V_{BOR}$ 时 CPU 开始初始化配置过程(BOOT)。

V_{POR} 值不能配置，而 V_{BOR} 值可以设置为 2.0、2.2、2.5、2.8、3.1、3.6、4.1V (参阅 “LVRS”，**表 3-3**)。

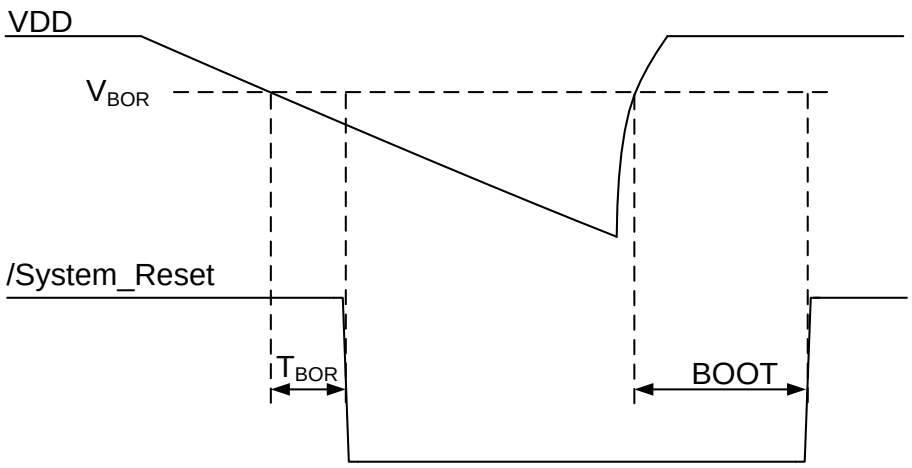


图 3-4 LVR 初始化配置时序图

LVR 可配置成 4 种不同功能(参阅 “LVREN”, **表 3-3**)。

1. LVR 使能；
2. LVR 关闭；
3. 非 SLEEP 模式下 LVR 使能；
4. 由指令控制使能或关闭 LVR (参阅 ”SLVREN”)。

注： SLEEP 模式下，可通过指令关闭 LVR 以降低功耗。但如果系统 V_{DD} 不稳定，CPU 应定时唤醒并使能 LVR 来监测 V_{DD}。

3.2.2. 非法指令复位 (Illegal Instruction Reset)

CPU 获取指令错误的原因有很多，最常见的为干扰和 V_{DD} 不稳定。

虽然没有专用的复位指令，但任何蓄意的非法指令都等同于复位指令。出现非法指令时将产生系统复位，随后是否启动初始化配置则取决于 IDE 设置 (参阅 “IRBTE”, **表 3-3**)。

3.2.3. 看门狗定时器 (Watch Dog Timer, WDT) 复位

SLEEP 模式下，WDT 溢出将导致唤醒。

正常模式 (非 SLEEP 模式)下，WDT 溢出将触发系统复位，随后是否产生初始化配置则取决于 IDE 设置 (参阅 “WDTBTE”, **表 3-3**)。WDT 复位可用于复位挂起的 CPU。应在程序中不时地清除 WDT 以避免错误复位。

关于 WDT 的操作和设置等细节，请参阅 **章节 7.1** 看门狗定时器 (Watch Dog Timer, WDT)。

3.2.4. 外部 I/O 系统复位 /MCLRB

如果已相应设置初始化配置寄存器，那么可通过在/MCLRB (PB2)脚上施加低电压来使 CPU 复位。/MCLRB 脚通常经过一个电阻弱上拉到 V_{DD}，而不是直接连到 V_{DD}，如 **图 3-5** 所示，建议采用外部 RC 电路以提供故障滤波和过流保护。

/MCLR 系统复位后是否产生初始化配置则取决于 IDE 设置 (参阅 “MRBTE”，**表 3-3**)。

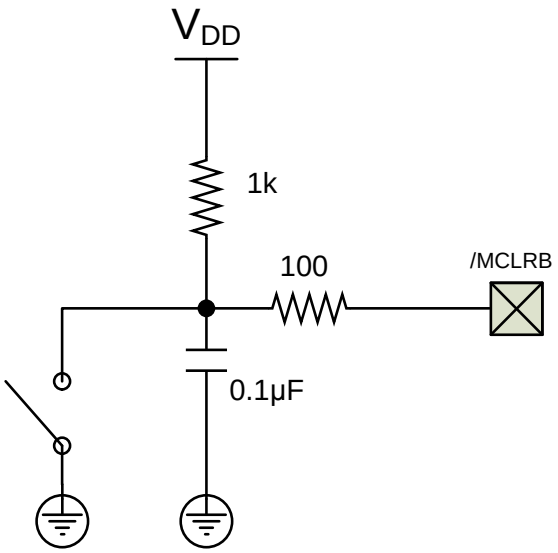


图 3-5 /MCLRB 复位电路

3.3. 检测上次复位类型

通过 4 个状态标志位 /POR、/BOR、Time Out (/TF)、Power Down (/PF)的不同组合可以追溯上一次系统复位的类型，但“正常模式下的/MCLR 系统复位” 和 “非法指令复位” 除外。这些状态标志位均需由指令置 1。复位后，相应的标志位将被锁定为“0”。

复位源	/POR	/BOR	/TF	/PF
	PCON[1]	PCON[0]	STATUS[4]	STATUS[3]
	0x8E		Bank 首地址 + 0x03	
POR	0	(未知)	1	1
LVR	–	0	1	1
正常模式下(非 SLEEP) WDT 溢出(复位)	–	–	0	–
SLEEP 模式下 WDT 溢出(唤醒)	–	–	0	0
SLEEP 模式下/MCLR 复位	–	–	1	0
正常模式下(非 SLEEP) /MCLR 复位	`–	–	–	–
非法指令复位	–	–	–	–
片上调试 (OCD)	–	–	–	–

表 3-2 复位相关状态标志位 (“–“ 无变化)

3.4. 低电压检测/比较器 (LVD)

LVD 的工作原理与 LVR 类似，但以下几点除外：

- 所有控制位和参数选择位均由用户指令设置，而不是初始化配置时；
- 必须正确设置 I/O：TRISx = 1; ANSELAx = 1；
- LVD 事件将置位 LVDW 而不是/BOR；
- 可通过指令配置为中断，且不会触发系统复位；
- 可通过 LVDDEB 使能消抖功能。消抖时间(T_{LVD}) 为 3 – 4x 消抖时钟 LVDCKS (如果未预先启动，所选时钟源将自动开启)；
- LVD 输入可以配置成 V_{DD} 或其他 2 个 I/O，后者允许将 LVD 当作单输入比较器功能使用，与 9 档 LVDL 电压值($V_{LVD-REF}$) 之一进行比较；
- 可设置 LVD 的极性，因此 LVD 可作为 $V_{LVD-REF}$ 的“高”或“低”比较器；
- 9 档可选 LVD 电压(LVDL)，可通过指令实现~2%/step 的微调精度；

3.5. 复位及低电压检测相关寄存器汇总

系统复位的大多数设置均由 IDE 界面配置，而不能通过指令修改。

名称	功能	默认
LVRS	7 档 V_{BOR} 电压(V)： 2.0 / 2.2 / 2.5 / 2.8 / 3.1 / 3.6 / 4.1	2.0
LVREN	LVR • 使能 • 关闭 • 非 SLEEP 模式下使能 • 通过指令控制 (SLVREN)	关闭
WDTE	WDT • 使能 (指令不能禁止) • 由指令控制 (SWDTEN)	SWDTEN 控制
MCLRE	外部 I/O 复位	关闭
WDTBTE	WDT 复位启动初始化配置过程	关闭
IRBTE	非法指令复位启动初始化配置过程	关闭
MRBTE	MCLRE 复位启动初始化配置过程	关闭

表 3-3 复位相关初始化配置寄存器

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
MSCON0	10C	–	–	ROMLPE	CLKOS	SLVREN	CKMAVG	CKCNTI	T2CKRUN	--01 0000
MSCON1	101	–	–	–	AUXPGX	LVRDEB	LVRCKS	AUXPGE	HIRCM	---0 1000
PCON	8E	LVDL[3:0]				LVDEN	LVDW	/POR	/BOR	0000 0xqq
LVDCON0	21A	SYSON	LVDCKS[1:0]		LVDP	LVDDEB	–	LVDM[1:0]		0000 1-00
LVDTRIM	21C	–	LVDADJ[3:0]				LVRADJ[2:0]			-xxx xxxx

表 3-4 复位及 LVD 相关用户寄存器地址和复位值

3.5.1. MSCON0 (0x10C)

Bit	7	6	5	4	3	2	1	0
Name	–	–	ROMLPE	CLKOS	SLVREN	CKMAVG	CKCNTI	T2CKRUN
Type	RO	RO	RW	RW	RW	RW	RW	RW
Reset	0	0	0	1	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5	ROMLPE	PROM 低功耗模式： 1 = 使能 0 = 关闭
4	CLKOS	内部时钟输出引脚 (仅当 FOSC 选择 INTOSC 模式时有效)： 1 = CLKO 映射到 PD5 0 = CLKO 映射到 PA2
3	SLVREN [1]	仅适用于 LVREN 配置成由指令 SLVREN 控制 LVR： 1 = 使能 LVR 0 = 关闭 LVR
2	CKMAVG	LIRC 和 HIRC 交叉校准时 4 次平均测量模式： 1 = 使能 0 = 关闭
1	CKCNTI	启动 LIRC 和 HIRC 的交叉校准功能： 1 = 启动 0 = 完成 (自动清零)
0	T2CKRUN	T2CK (非指令时钟) 运行使能位： 1 = 使能 0 = 关闭

[1] 发生欠压复位时，此位不会清 0。其它复位会将此位清 0。

3.5.2. MSCON1 (0x101, 0x301)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	AUXPGX	LVRDEB	LVRCKS	AUXPGE	HIRCM
Type	RO	RO	RW	RO	RW	RW	RW	RW
Reset	0	0	0	0	1	0	0	0

Bit	Name	Function
7:5	N/A	保留位
4	AUXPGX [2]	AUXPGE 影子寄存器
3	LVRDEB [3]	LVR 消抖： 1 = 使能 0 = 关闭
2	LVRCKS [3]	LVR 消抖时钟： 1 = HIRC 0 = LIRC
1	AUXPGE [2]	SFR BANK 间接或直接寻址访问： 1 = BANK4 ~ 7 0 = BANK0 ~ 3
0	HIRCM	HIRC 频率选择： 1 = 13.5 MHz 0 = 16 MHz

[2] 进入中断时，AUXPGE 的值保存到 AUXPGX，同时 AUXPGE 清零；退出中断时，AUXPGX 的值恢复到 AUXPGE。

[3] 只受上电复位影响，其它复位不起作用。

3.5.3. PCON (0x8E)

Bit	7	6	5	4	3	2	1	0
Name	LVDL[3:0]				LVDEN	LVDW	/POR	/BOR
Type	RW	RW	RW	RW	RW	RO	RW	RW
Reset	0	0	0	0	0	x	q	q

Bit	Name	Function
7:4	LVDL	$V_{LVD-REF}$： 0000 = 1.8 0001 = 2.0 0010 = 2.4 0011 = 2.7 0100 = 3.0 0101 = 3.3 0110 = 3.6 0111 = 4.0 1xxx = 1.2
3	LVDEN	LVD 模块： 1 = 使能 0 = 关闭
2	LVDW	LVD 触发标志： 1 = Yes (不锁存) 0 = No
1	/POR	上电复位标志： 1 = 未发生上电复位，或由软件置 1 0 = 发生了上电复位
0	/BOR	低电压复位标志： 1 = 未发生低电压复位，或由软件置 1 0 = 发生了低电压复位

3.5.4. LVDCON0 (0x21A)

Bit	7	6	5	4	3	2	1	0
Name	SYSON	LVDCKS[1:0]		LVDP	LVDDEB	–	LVDM[1:0]	
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	1	0	0	0

Bit	Name	Function
7	SYSON	Sleep 模式下，系统时钟控制： 1 = 保持运行 0 = 关闭
6:5	LVDCKS	LVD 消抖时钟： 00 = LIRC 01 = HIRC 10 = SysClk 11 = 指令时钟
4	LVDP	LVDW 极性： 1 = 检测电压 > $V_{LVD-REF}$ 0 = 检测电压 < $V_{LVD-REF}$
3	LVDDEB	LVD 消抖： 1 = 使能 0 = 关闭
2	N/A	保留位
1:0	LVDM	LVD 输入： 00 = PB3 01 = VDD 1x = PD5

3.5.5. LVDTRIM (0x21C)

Bit	7	6	5	4	3	2	1	0
Name	–	LVDADJ[3:0]				LVRADJ[2:0]		
Type	RO	RW	RW	RW	RW	RO	RO	RO
Reset	0	x	x	x	x	x	x	x

Bit	Name	Function
7	N/A	保留位
6:3	LVDADJ [3]	LVDL 修调位，~2% / step
2:0	LVRADJ [3]	LVR 修调位，~3% / step

4 振荡器和系统时钟

系统时钟(SysClk)可通过指令选择为内部高速振荡器 HIRC，内部低速振荡器 LIRC，或外部振荡器(EC, LP, XT，参阅 “SCS”)。如果选择外部振荡器，那么由初始化配置寄存器 “FOSC” (**表 4-1**) 选定 3 种外部振荡器之一。系统时钟还可通过指令进一步选择为内部振荡器的分频(参阅”IRCF”)。系统时钟用于产生指令时钟(Instruction Clock)：

指令时钟 = SysClk / N; N = 2 for 2T, 4 for 4T.

外部时钟输入引脚由初始化配置寄存器设置 (参阅 FOSC)。

内部指令时钟输出功能可由初始化配置寄存器 (参阅 FOSC) 或指令 (参阅 SCKEN 和 SCKOE) 设置。如果使能指令时钟输出，那么则由 ”CLKOS” 选择输出端口为 PA2 或 PD5。

Timers 和 ADC 模块有独立的振荡器，因此可有多个振荡器同时运行。

当 Timers 使能时，其选用的振荡器将自动开启，且在 Timers 运行期间一直保持有效。SLEEP 模式下，可将其振荡器配置为开启或关闭。当相应的振荡器在 SLEEP 模式下保持运行时，ADC, Timers 和 PWM 功能同样可在 SLEEP 下保持工作。

SLEEP 模式下指令停止运行，系统时钟默认停止，时钟输出暂停。当 SYSON = 1 时，系统时钟将保持运行，因此选择系统时钟作为时钟源的外设模块也将在 SLEEP 模式下保持工作，此外时钟输出也将继续。

注： 当 ADC 转换时钟源选择 LIRC 时，进入 SLEEP 模式后，LIRC 将保持运行，与 SYSON 无关；

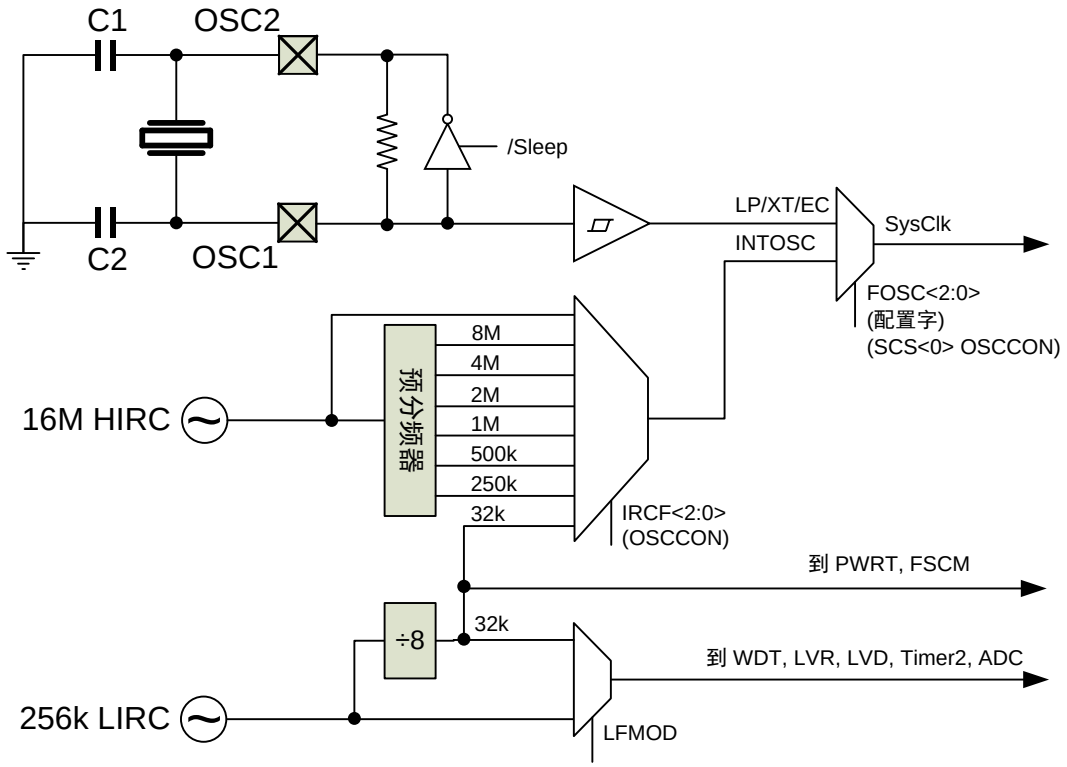


图 4-1 系统时钟 SysClk 的时钟源框图

4.1. 内部时钟模式 (HIRC 和 LIRC)

内部高频时钟 (Internal high frequency clock, HIRC) 出厂时已分别校准到 13.56 MHz 和 16 MHz，校准范围为 < ±1.0% @2.5V/25°C，电压变化典型值为 < ±0.5% @2.5 – 5.5V/25°C，温度变化典型值为 < ±2.0% @2.5V/$^{-}$40 – $^{+}$85°C。

HIRC 精度在晶圆测试时已进行校准。封装过程可能会导致 HIRC 频率漂移。烧录器软件可选择对 HIRC (仅 16 MHz) 进行重新校准。HIRC 出厂校准值已存储到 “FOSCCAL” 寄存器中，用户可通过指令修改 “FOSCCAL”来微调 HIRC 频率 (16 MHz 或 13.5 MHz, 参阅 ”HIRCM”)，微调 steps 是非线性的 (~0.2%/LSB)。粗略估计 (以 16 MHz 为例) 如下：

{FOSCCALH[4:0], FOSCCALL[7:5], FOSCCALL[3]} ± N ≈ 16000 * (1 ± N * 0.2%) (kHz)

注意：

1. FOSCCAL 由 {FOSCCALH[4:0], FOSCCALL[7:5], FOSCCALL[3]} 共 9 位组成，另外 FOSCCALL[4] 和 FOSCCALL[2:0] 需要保持为 1；
2. 当系统时钟 SysClk 选择 HIRC，且 TSEL 选择 2T 指令周期时，建议先将 HIRC 设置成 8 MHz 或者更低 (参阅 IRCF)，通过 FOSCCAL 进行频率微调后，如需要，再将 HIRC 设置成 16 MHz，从而避免在频率微调的过程中超出芯片的工作范围 (16 MHz / 2T, V_{DD} ≥ 2.7V) 或导致其他不可预期的情况。TSEL 选择 4T 指令周期时，则无上述限制。

内部低频时钟 (Internal low frequency clock, LIRC) 出厂时已校准至 32 kHz，校准范围为 < ±5.0% @2.5V/25°C，电压变化典型值为 < ±2.0% @2.5 – 5.5V/25°C，温度变化典型值为 < ±3.0% @2.5V/$^{-}$40 – $^{+}$85°C。

LIRC 和 HIRC 可相互交叉校准 – 在一个 LIRC 周期 (32kHz) 内使用 Timer2 来测量指令时钟数 (SysClk 选择 16MHz HIRC)，此为内置硬件功能。

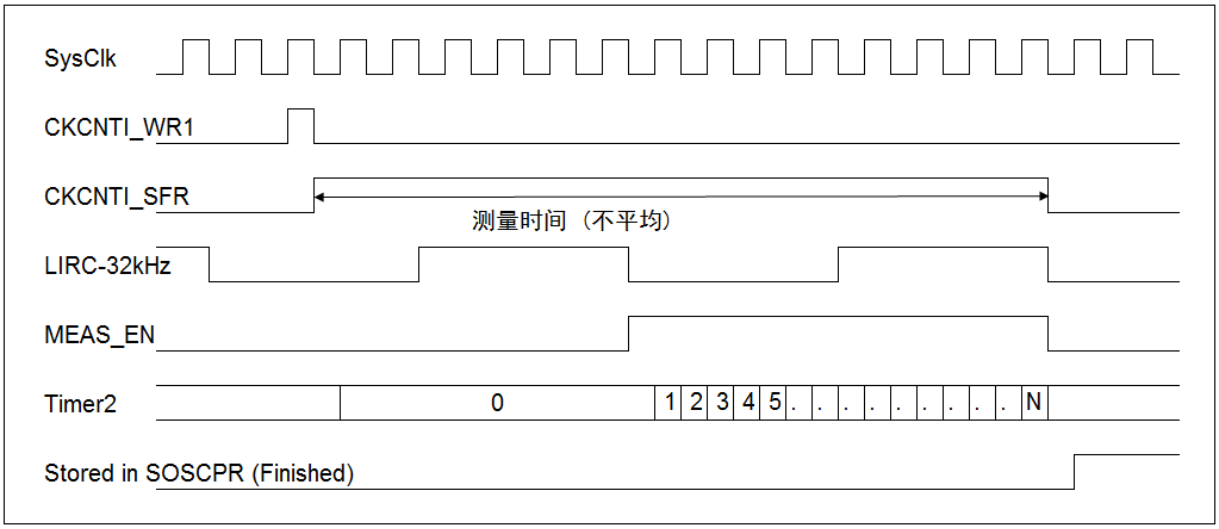


图 4-2 单次测量时序图

LIRC 和 HIRC 交叉校准步骤：

1. 设置 IRCF = 111, SCS = 1 ; SysClk 选择 16MHz HIRC (其他频率设置的精准度会降低)
2. 设置 CKMAVG = 1 ; 4 次测量平均，选择 0 表示不做平均

3. 设置 TMR2ON = 1 ；使能 Timer2
4. 设置 CKCNTI = 1 ；开始校准，默认 Timer2 预分频比 = 1，后分频比 = 1，T2CKSRC = SysClk for 2T; SysClk/2 for 4T
5. 校准完成时，CKCNTI 自动清零(“CKCNTI = 0”)，CKMIF 自动置位(“CKMIF = 1”)。
6. 测量值存储在 SOSCPR 寄存器中。
7. LIRC 默认为 32kHz，且 CPU 运行在 16MHz / 2T 下，则理想的匹配值为 500。

注：

- LIRC 和 HIRC 交叉校准时，不要对 SOSCPRH/L 寄存器进行写操作；
- LIRC 和 HIRC 交叉校准时，Timer2 不能被其他外设使用；
- LIRC 和 HIRC 交叉校准功能与 IDE 的单步调试模式不兼容；
- 当 CKCNTI = 1 时，LIRC 自动开启，且进入 SLEEP 模式后保持运行，但仅当 SYSON = 1 时，校准才可在 SLEEP 模式下运行。

4.2. 外部时钟模式 (EC / LP / XT)

4.2.1. EC 模式

外部数字信号作为时钟源连接到 OSC1 脚 (OSC2 用作 I/O)。当 SysClk 选择 EC 模式时，当 POR 复位或从睡眠中唤醒时，EC 模式不需要设置或转换时间延迟。

4.2.2. LP 和 XT 模式

LP 或 XT 模式下，石英晶体谐振器或陶瓷谐振器作为时钟源连接到 OSC1 和 OSC2 脚。

LP 振荡器模式是 3 种模式 (EC, LP, XT) 中增益设定和电流消耗最低的。该模式仅用于驱动 32.768 kHz 音叉式晶振 (钟表晶振)。

XT 振荡器模式选择内部反相放大器的最高增益设定。

如果时钟源选择 XT 或 LP 模式，当初始化配置结束或从睡眠中唤醒时，CPU 在振荡器起振定时器 (OST) 计数期间将暂停执行程序，这有利于 XT 或 LP 时钟的稳定。对于 XT 和 LP 模式，OST 分别计数 1,024 和 32,768 个 OSC1 (晶体输入+ve 端)。对于 32.768 kHz 音叉式晶振，OST 计时至少需要 1 秒。

注：

- WDT 将保持清零状态直至 OST 完成计数；
- OST 计数期间，不要对 WDTCON 或 OPTION 寄存器进行写操作，否则将产生不可预期的行为；

双速时钟启动 (参阅“IESO”, **表 4-1**) 允许 CPU 在 OST 计数期间选择内部振荡器 HIRC 作为 SysClk 进而执行指令。在需要频繁进出睡眠模式的情况下，双速时钟启动功能可使芯片在唤醒后立即执行指令，从而除去外部振荡器所需的起振时间，以降低整机功耗。即 CPU 从睡眠中唤醒，将 HIRC 作为 SysClk 执行几条指令后，再返回睡眠状态，而无需等待外部振荡器的稳定。

注： EC 模式下双速启动功能关闭，因其振荡器不需要稳定时间。

双速启动时序：

1. 初始化配置结束或从睡眠中唤醒；
2. 选择 HIRC 作为 SysClk 执行指令直至 OST 超时；
3. SysClk 从 HIRC 的下降沿一直保持为低，直至新时钟的下降沿到来 (LP 或 XT 模式)；
4. SysClk 切换到外部时钟源；

振荡器起振超时状态位 (OSTS) 用于提示 SysClk 运行在外部时钟源下或内部时钟源下。当开启双速时钟启动功能时，通过 OSTS 可间接查询 LP 或 XT 模式下的振荡器起振定时器(OST)是否已经超时。

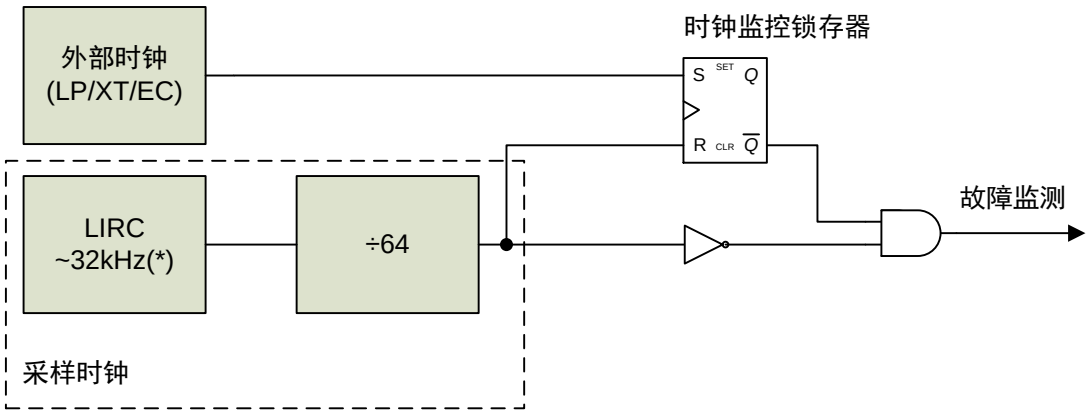
执行 SLEEP 指令将中止 OST 计时，而 OSTS 将保持为“0”。

故障保护时钟监控器 (Fail-Safe Clock Monitor, FSCM, 由“FCMEN”使能，参阅 **表 4-1**) 可使芯片在外部振荡器出现故障时仍能继续工作。在振荡器起振定时器 (OST) 超时后，FSCM 随时检测振荡器故障。FSCM 适用于所有外部振荡器模式(EC，LP 和 XT)。当选择外部振荡器时，建议使能 FSCM 功能。

如果外部振荡器的振荡频率在~1 kHz 及以下时，则判定其出现故障。由 LIRC 除以 64 产生采样时钟，故障监控器内部有一个锁存器，外部时钟在其每个下降沿将锁存器置 1，采样时钟在其每个上升沿将锁存器清 0。当采样时钟的整个半周期结束而主时钟依然未进入低电平时，即检测到故障。

当外部时钟出现故障时，FSCM 自动将 SysClk 切换成内部时钟源并置位 OSFIF。如果 OSFIE 使能，OSFIF 置 1 将产生中断。芯片固件随后应采取措施来减轻可能由故障时钟所导致的问题。SysClk 将继续运行在内部时钟源下，直到芯片固件成功重启外部振荡器。

由“IRCF”决定“FSCM”所用的内部时钟源，这使得内部振荡器在外部时钟发生故障前就得以配置。



注：LFMOD不影响采样时钟。

图 4-3 FSCM 结构框图

复位、执行 SLEEP 指令或翻转 SCS 位后，故障保护条件将被清除。当 SCS 位被修改后，OST 将重新启动计时。OST 运行期间，CPU 选择 HIRC 作为 SysClk 继续执行指令。OST 超时后，故障保护条件被清除，芯片将切换回外部时钟源进行操作。必须先清除故障保护条件，才能清零 OSFIF 标志位。

注： 任何可能由双速时钟启动或故障保护时钟监控器所产生的时钟自动切换，都不会更新 SCS 位。程序应监控 OSTS 位以确定当前的 SysClk 系统时钟源。

4.3. HIRC, LIRC 和 EC 时钟的内部切换

图 4-4 为时钟内部切换时序图。若 HIRC 或 LIRC 在切换前已经关闭 (为了省电)，则将会有额外的振荡器设置延迟时间，可通过 HTS 和 LTS 标志位查询相应振荡器的状态。

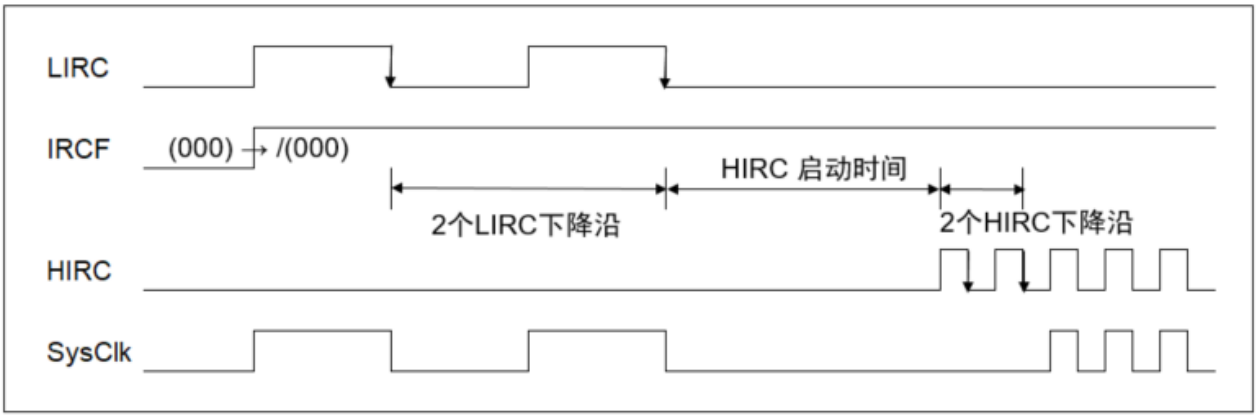


图 4-4 由 LIRC 切换到 HIRC 时序图 (同样的原则也适用于 EC, LIRC, HIRC 之间的切换)

4.4. 振荡器模块相关寄存器汇总

名称	功能	默认
FOSC	• LP：PA1 (+) 和 PA2 (−) 接外部低速晶振 • XT：PA1 (+) 和 PA2 (−) 接外部高速晶振 • EC：PA1 (+) 接外部时钟输入，PA2 为 I/O • INTOSC：PA2 或 PD5 输出"指令时钟"，PA1 为 I/O • INTOSCIO：PA1 和 PA2 为 I/O	INTOSCIO
IESO	XT / LP 双速时钟启动	使能
FCMEN	故障保护时钟监控器	使能
TSEL	指令时钟与系统时钟的对应关系 (2T or 4T) • 2 (指令时钟 = SysClk/2) • 4 (指令时钟 = SysClk/4)	2

表 4-1 FOSC 和双速启动初始化配置寄存器

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
FOSCCALL	109	FOSCCAL[7:0]								xxxx xxxx
FOSCCALH	309	-	-	-	FOSCCALH[4:0]					---x xxxx
SOSCPRL	218	SOSCPR[7:0]								1111 1111
SOSCPRH	219	-	-	-	-	SOSCPR[11:8]				---- 1111
LVDCON0	21A	SYSON	LVDCKS[1:0]		LVDP	LVDDEB	-	LVDM[1:0]		0000 1-00
OSCCON	8F	LFMOD	IRCF[2:0]			OSTS	HTS	LTS	SCS	0100 x000
MSCON0	10C	-	-	ROMLPE	CLKOS	SLVREN	CKMAVG	CKCNTI	T2CKRUN	--01 0000
MSCON1	101	-	-	-	AUXPGX	LVRDEB	LVRCKS	AUXPGE	HIRCM	---0 1000
SCKCFG	209	SCKEN	-	-	-	-	-	SCKOE	-	0--- --0-

表 4-2 振荡器相关用户寄存器地址和复位值

4.4.1. FOSCCALL (0x109)

Bit	7	6	5	4	3	2	1	0
Name	FOSCCALL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	x	x	x	x	x	x	x	x

Bit	Name	Function
7:0	FOSCCALL	内部高速时钟 HIRC 频率调节寄存器，低 8 位 注：bit[4] 及 bit[2:0] 需保持为 1

4.4.2. FOSCCALH (0x309)

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	FOSCCALH[4:0]				
Type	RO	RO	RO	RW	RW	RW	RW	RW
Reset	0	0	0	x	x	x	x	x

Bit	Name	Function
7:5	N/A	保留位
4:0	FOSCCALH	内部高速时钟 HIRC 频率调节寄存器，高 5 位

4.4.3. SOSCPRL (0x218)

Bit	7	6	5	4	3	2	1	0
Name	SOSCPRL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	SOSCPRL	校准 LIRC 周期所需的 HIRC 周期数，低 8 位

4.4.4. SOSCPRH (0x219)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	SOSCPRH[3:0]			
Type	RO	RO	RO	RO	RW	RW	RW	RW
Reset	0	0	0	0	1	1	1	1

Bit	Name	Function
7:4	N/A	保留位
3:0	SOSCPRH	校准 LIRC 周期所需的 HIRC 周期数，高 4 位

4.4.5. LVDCON0 (0x21A)

Bit	7	6	5	4	3	2	1	0
Name	SYSON	LVDCKS[1:0]		LVDP	LVDDEB	–	LVDM[1:0]	
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	1	0	0	0

Bit	Name	Function
7	SYSON	Sleep 模式下，系统时钟控制： 1 = 保持运行 0 = 关闭
6:5	LVDCKS	LVD 消抖时钟： 00 = LIRC 01 = HIRC 10 = SysClk 11 = 指令时钟
4	LVDP	LVDW 极性： 1 = 检测电压 > $V_{LVD-REF}$ 0 = 检测电压 < $V_{LVD-REF}$
3	LVDDEB	LVD 消抖： 1 = 使能 0 = 关闭
2	N/A	保留位
1:0	LVDM	LVD 输入： 00 = PB3 01 = VDD 1x = PD5

4.4.6. OSCCON (0x8F)

Bit	7	6	5	4	3	2	1	0
Name	LFMOD	IRCF[2:0]			OSTS	HTS	LTS	SCS
Type	RW	RW	RW	RW	RO	RO	RO	RW
Reset	0	1	0	0	x	0	0	0

Bit	Name	Function
7	LFMOD	LIRC 频率： 1 = 256 kHz [1] 0 = 32 kHz [2]
6:4	IRCF	内部振荡器 (系统时钟) 频率选择： 111 = 16 MHz 110 = 8 MHz 101 = 4 MHz 100 = 2 MHz 011 = 1 MHz 010 = 500 kHz 001 = 250 kHz 000 = LIRC
3	OSTS	振荡器启动超时状态位(锁存)： 1 = 运行在外部振荡器下 (启动成功) 0 = 运行在内部振荡器下
2	HTS	高速 HIRC ready (锁存)： 1 = Yes 0 = No
1	LTS	低速 LIRC ready (锁存)： 1 = Yes 0 = No
0	SCS	系统时钟选择： 1 = 内部振荡器 0 = 由 FOSC 决定

[1] 256 kHz 只供 WDT, Timer2, ADC, LVR 和 LVD 使用 (见 WCKSRC、T2CKSRC、ADCS、LVRCKS、LVDCKS 和 LFMOD)。

[2] 系统时钟源 (IRCF=000)、LIRC 和 HIRC 交叉校准、PWRT 和 FSCM 统一使用 LIRC 的 8 分频，即 32 kHz，不管 LFMOD 为何值。

4.4.7. MSCON0 (0x10C)

Bit	7	6	5	4	3	2	1	0
Name	–	–	ROMLPE	CLKOS	SLVREN	CKMAVG	CKCNTI	T2CKRUN
Type	RO	RO	RW	RW	RW	RW	RW	RW
Reset	0	0	0	1	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5	ROMLPE	PROM 低功耗模式： 1 = 使能 0 = 关闭
4	CLKOS	内部时钟输出引脚 (仅当 FOSC 选择 INTOSC 模式时有效)： 1 = CLKO 映射到 PD5 0 = CLKO 映射到 PA2
3	SLVREN [3]	仅适用于 LVREN 配置成由指令 SLVREN 控制 LVR： 1 = 使能 LVR 0 = 关闭 LVR
2	CKMAVG	LIRC 和 HIRC 交叉校准时 4 次平均测量模式： 1 = 使能 0 = 关闭
1	CKCNTI	启动 LIRC 和 HIRC 的交叉校准功能： 1 = 启动 0 = 完成 (自动清零)
0	T2CKRUN	T2CK (非指令时钟) 运行使能位： 1 = 使能 0 = 关闭

[3] 发生欠压复位时，此位不会清 0。其它复位会将此位清 0。

4.4.8. MSCON1 (0x101, 0x301)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	AUXPGE	LVRDEB	LVRCKS	AUXPGE	HIRCM
Type	RO	RO	RW	RO	RW	RW	RW	RW
Reset	0	0	0	0	1	0	0	0

Bit	Name	Function
7:5	N/A	保留位
4	AUXPGX [4]	AUXPGE 影子寄存器
3	LVRDEB [5]	LVR 消抖： 1 = 使能 0 = 关闭
2	LVRCKS [5]	LVR 消抖时钟： 1 = HIRC 0 = LIRC
1	AUXPGE [4]	SFR BANK 间接或直接寻址访问： 1 = BANK4 ~ 7 0 = BANK0 ~ 3
0	HIRCM	HIRC 频率选择： 1 = 13.5 MHz 0 = 16 MHz

[4] 进入中断时，AUXPGE 的值保存到 AUXPGX，同时 AUXPGE 清零；退出中断时，AUXPGX 的值恢复到 AUXPGE。

[5] 只受上电复位影响，其它复位不起作用。

4.4.9. SCKCFG (0x209)

Bit	7	6	5	4	3	2	1	0
Name	SCKEN	–	–	–	–	–	SCKOE	–
Type	RW	RO	RO	RO	RO	RO	RW	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	SCKEN [6]	内部系统时钟输出： 1 = 使能 0 = 关闭
6:2	N/A	保留位
1	SCKOE	系统时钟输出到 I/O (当 SCKEN = 1 时)： 1 = PA2 或 PD5 (取决于 CLKOS) 0 = 关闭
0	N/A	保留位

[6] 当 SCKEN = 1 和 FOSC = INTOSC 同时有效时，输出 “系统时钟”；在修改 SCKEN 和 SCKOE 之前需先将 EECON1.WREN3/2/1 位置 1，写之后需清零 EECON1.WREN3/2/1，避免误操作。

5 低功耗模式

5.1. SLEEP 睡眠模式

睡眠模式下，指令时钟关闭，指令执行停止，大多数模块掉电以降低功耗。如**表 5-1** 所示，FT61FC6x 可根据实际需求在睡眠时有选择地开启各个模块,而无须指令介入,以使其相应功能如 LVR、LVD、WDT、Timers、PWM、ADC、SPI、I2C 和 UART0/1 能在 SLEEP 模式下保持运行。有些模块也可配置成进入 SLEEP 后自动关闭，而无须由指令关闭。

模块	SLEEP 模式下的各模块配置条件	
	运行	自动关闭?
指令时钟	(始终关闭)	Yes
LVR (配置 LVREN)	使能或通过指令控制 (SLVREN = 1)	非 SLEEP 模式下使能
LVD	LVDEN = 1	No
WDT	WDTE or SWDTEN	No
TIMER0	T0CKSRC ≠ 00 & T0CKRUN = 1 & T0ON = 1	T0CKRUN = 0
TIMER1	T1CKSRC ≠ 00 & T1CKRUN = 1 & T1ON = 1	T1CKRUN = 0
TIMER2	T2CKSRC ≠ 000 & T2CKRUN = 1 & TMR2ON = 1	T2CKRUN = 0
TIMER3	T3CKSRC ≠ 11 & T3CKRUN = 1 & T3ON = 1	T3CKRUN = 0
时钟输出	SYSON = 1 & SCKEN = 1	SYSON = 0
ADC	SYSON = 1 & ADON = 1	Yes: SYSON = 0 & ADCS ≠ 111 No: ADCS = 111
SPI	SYSON = 1 & SPIEN = 1	SYSON = 0
I2C	SYSON = 1 & I2CEN = 1	SYSON = 0
UART0 / UART1	SYSON = 1 & URxEN = 1 & URxTXEN / URxRXEN = 1	SYSON = 0
PWM	(跟随 Timer0 或 Timer2)	
HIRC / LIRC / EC / LP / XT	(跟随使用它们的外设状态)	
I/O	(除非 SLEEP 时使能 PWM、时钟输出或其他外设，否则 I/O 将保持其进入 SLEEP 前的状态)	

表 5-1 除指令时钟外，其他模块可根据需求在 SLEEP 模式下保持运行

5.1.1. 进入 SLEEP

CPU 通过执行 SLEEP 指令进入睡眠模式。进入睡眠时：

1. 如果 WDT 使能，则 WDT 的后分频器(如果分配给 WDT)和定时器将被清零，并重新开始计时。
2. 超时标志位 (/TF) = 1。
3. 掉电标志位 (/PF) = 0。
4. 时钟源
   - 当 SYSON = 0 时，指令时钟自动关闭；
   - 当 SYSON = 1 时，指令时钟保持运行，如果配置了输出内部指令时钟，则进入睡眠后其输出也将继续；
   - 如果 Timer 在 SLEEP 下保持运行,则其所选用的时钟源 HIRC, LIRC 或外部振荡器(EC, LP, XT)

也将保持运行。如果某个 Timer 在睡眠中自动关闭，则其时钟源也将自动关闭，除非此时钟源同时被另一个保持运行的 Timer 所使用。

5. I/O 端口
   - 如果 Timers 在 SLEEP 下保持运行，则 PWM0/PWM1 输出也将保持。如果 Timers 自动关闭，那么 PWM0/PWM1 的输出将保持其进入 SLEEP 前的状态。
   - 当 SYSON = 1，则 ADC、SPI、I2C 或 UART0/1 可保持运行。当 SYSON = 0 时，ADC (ADCS ≠ x11)、SPI、I2C 或 UART0/1 将自动关闭，但 ADC 时钟源选择 LIRC (ADCS = x11) 除外。
   - 其他数字输出端口，将保持其进入 SLEEP 之前的状态(高阻态，低电平或高电平)。

有关各个外设在 SLEEP 状态下如何工作的详细信息，请查阅相应章节。

注：如果在执行 SLEEP 指令之前发生中断(中断标志位置 1 且其中断使能，但全局中断 GIE 禁止)，则 SLEEP 指令将作为 NOP 执行，不会进入睡眠模式。

5.1.2. 从 SLEEP 中唤醒

从睡眠中唤醒有 2 个基本原则：

- 基于时间，即 CPU 在一定的时间后醒来。建议选择 LIRC 作为计时的时钟源，因为 LIRC 比 HIRC 的功耗更低。
- 基于事件，即触发 POR，系统复位，仅唤醒而不产生中断，以及产生中断的事件，如 LVD，ADC，端口变化中断，外部 INT 边沿中断，DROM 写完成。

ADC 有自动阈值比较功能，当满足预设的阈值标准时，则会触发唤醒和/或中断。

从睡眠中唤醒，分为以下几种情况：

1. 完全复位和系统复位：
   - POR 完全复位 (不能关闭)
   - 通过 /MCLR 进行外部系统复位 (如果使能)
   - LVR 复位 (如果使能)
2. 如果使能，看门狗定时器可触发唤醒 (参阅 **章节 7.1** 看门狗定时器)。
3. 使能中断 (关闭“全局中断使能”不影响唤醒功能)。请参阅 **章节 6** 中断。

注：

1. 从睡眠中唤醒将清零 WDT。
2. 紧跟 SLEEP 指令后必须写为 NOP 指令

   使用非中断方式 (即未执行中断服务程序) 从 SLEEP 中唤醒时，比如 WDT 唤醒或全局中断控制位(GIE)未使能时的中断事件唤醒，下一条指令将被执行两次。

   使用中断方式从 SLEEP 中唤醒时，将先执行下一条指令，然后再调用中断服务程序。

   为了避免重复执行，建议紧跟 SLEEP 的后面写为 NOP 指令。

   ```
   SLEEP
   NOP          // 非中断方式唤醒时，NOP 将执行两遍。
   ```

5.2. PROM 低功耗模式

随着系统时钟 SysClk 频率的增加，功耗也相应增加。但当 SysClk 为高频时，完成既定任务所需的时间更短，从而使 CPU 可以更快地进入 SLEEP 模式。结合这两个相对的因素，通常情况下，在所允许的最高频率下运行时，一个既定任务所需的功耗是最低的。FT61FC6x 在 16MHz / 2T 的速度下功耗低至 254 μA/MIPS，为业内功耗最低的产品之一。

有些应用需要 CPU 保持运行而不进入睡眠，此时 SysClk 建议选择 LIRC。为了进一步降低 PROM 功耗，可通过使能 ROMLPE 来让 CPU 进入低功耗模式。此低功耗模式仅适用于 SysClk 选择 LIRC (32 kHz)，此时工作电流为 ~ 15 μA。

注意：

1. 使能该模式前需要先把 SysClk 降频到 32 kHz，再把 ROMLPE 置 1。
2. 退出该模式前先把 ROMLPE 清 0，等两个 NOP，再把 SysClk 升频。
3. 不建议在其它系统时钟频率下 (> 32 kHz) 使能 ROMLPE，否则工作电流将比不使能时稍大几 μA 到数十 μA，取决于 SysClk 频率。

5.2.1. MSCON0 (0x10C)

Bit	7	6	5	4	3	2	1	0
Name	–	–	ROMLPE	CLKOS	SLVREN	CKMAVG	CKCNTI	T2CKRUN
Type	RO	RO	RW	RW	RW	RW	RW	RW
Reset	0	0	0	1	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5	ROMLPE	PROM 低功耗模式： 1 = 使能 0 = 关闭
4	CLKOS	内部时钟输出引脚 (仅当 FOSC 选择 INTOSC 模式时有效)： 1 = CLKO 映射到 PD5 0 = CLKO 映射到 PA2
3	SLVREN [1]	仅适用于 LVREN 配置成由指令 SLVREN 控制 LVR： 1 = 使能 LVR 0 = 关闭 LVR
2	CKMAVG	LIRC 和 HIRC 交叉校准时 4 次平均测量模式： 1 = 使能 0 = 关闭
1	CKCNTI	启动 LIRC 和 HIRC 的交叉校准功能： 1 = 启动 0 = 完成 (自动清零)
0	T2CKRUN	T2CK (非指令时钟) 运行使能位： 1 = 使能 0 = 关闭

[1] 发生欠压复位时，此位不会清 0。其它复位会将此位清 0。

6 中断 (INTERRUPTS)

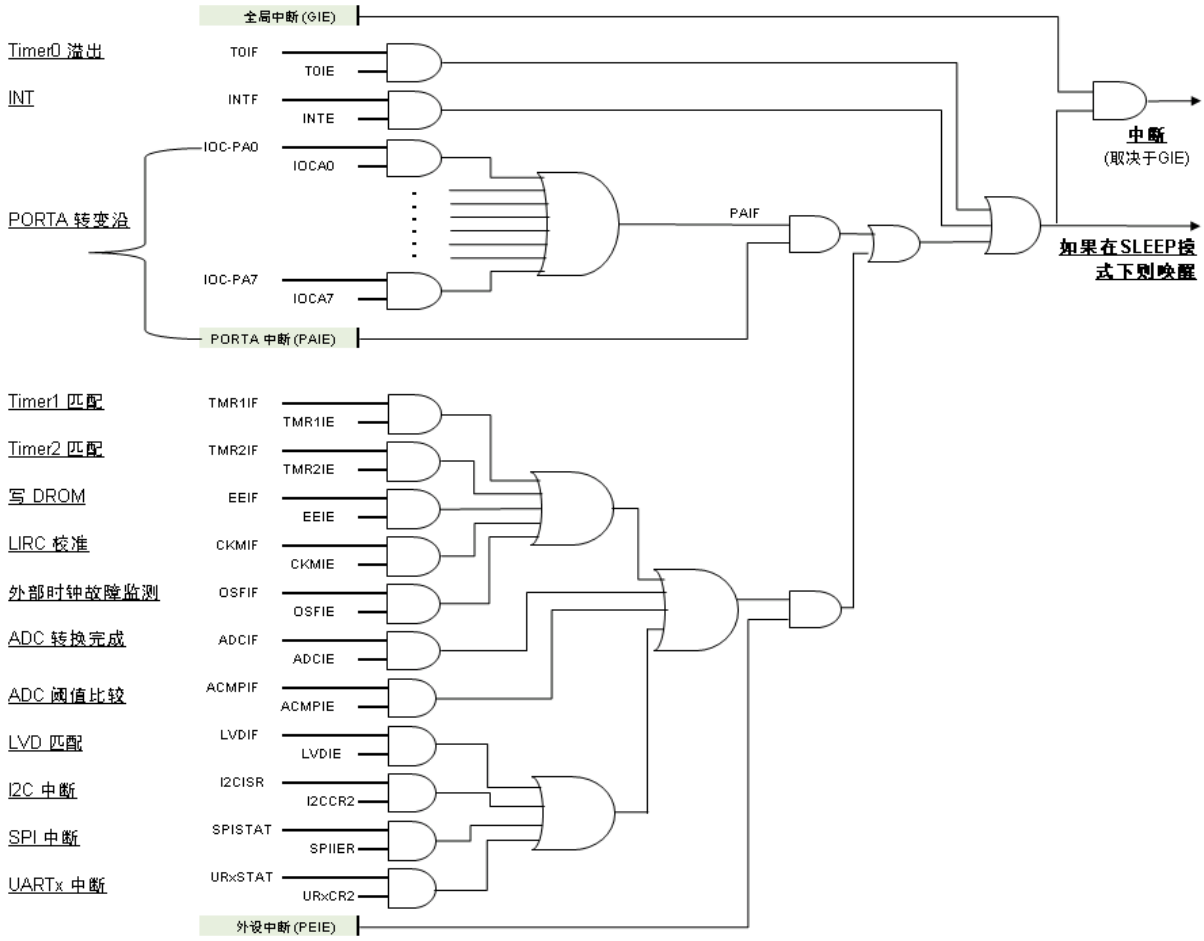


图 6-1 中断结构框图

CPU 支持 15 个中断源，分为 2 组：

1) 非外设中断 (Timer0 和 I/O)

- Timer0 溢出
- PORTA 端口变化中断 (软件控制)
- INT (上升沿或下降沿中断)

2) 外设中断

- Timer1 与 PR1 匹配
- DROM 写完成
- 故障保护时钟监控器
- Timer2 后分频器溢出
- LIRC 和 HIRC 交叉校准完成
- ADC 转换完成
- LVD 条件匹配
- SPI 中断
- ADC 阈值比较匹配
- I2C 中断
- UART0/1 中断

与其他 Timers 不同，WDT 溢出不会产生中断。除外部 I/O 中断外，其他中断请参阅相应章节。产生中断时，PC 跳转并执行 ”中断服务程序(ISR)”。中断的关闭/使能有多层控制：

- 每个中断源均有其独立的中断使能位：T0IE, INTE, IOCAx, TMR1IE, TMR2IE, OSFIE, CKMIE, EEIE, ADCIE, ACMPIE, LVDIE, I2CCR2, SPIIER, UR0CR2, UR1CR2。
- 8 个 PAx 中断输入共用一个端口中断使能位：PAIE (PORTA Interrupt Enable)。
- 外设中断有一个总中断使能位：PEIE (PEripheral Interrupt Enable)。
- 如果关闭以上所有控制位，将不会执行从睡眠中唤醒。
- 所有中断都由全局中断使能位控制：GIE (Global Interrupt Enable)。与其他使能位不同，当关闭全局中断使能位时，依然允许从睡眠中唤醒。
- 关闭中断使能位并不影响中断标志位的置位。

中断处理时序如下：

- 自动设置“GIE = 0”，从而关闭中断。
- 返回地址被压入堆栈，程序指针 PC 加载 0x0004 地址。
- 发生中断后的 1 – 2 个指令周期，跳转到 ”中断服务程序(ISR)” 开始处理中断。
- 执行“从中断返回(RETI)”指令退出 ISR。在 RETI 之前必须清除当前所处理的中断标志位。
- 当 ISR 完成时，PC 返回到中断前的地址，如果在 SLEEP 模式下，则返回到 SLEEP 指令后紧跟的地址。
- 在执行 RETI 时自动设置“GIE = 1”，从而使能中断。

注： 中断过程中，只有返回 PC 地址被自动保存在堆栈上。如果用户需要保存其他重要的寄存器值(如 W, STATUS 寄存器等)，必须通过指令将这些值正确地写入临时寄存器中，建议使用 SRAM 的最后 16 个 bytes 作为临时寄存器，因为所有 bank 共用这 16 个 bytes，而不需要切换 bank 以节省代码。

6.1. INT 和 PORTA 端口变化中断

INT 和 PORTA 端口变化中断均为外部 I/O 中断。如果设置正确，INT 将在后台运行而无需监督。PORTA 端口变化中断则需要持续的软件监控。

名称	INT	PORTA 端口变化中断
通道数	PC4 /PD4 (2个通道)	PA0 – PA7 (多达8个通道)
I/O 设置	TRISC[x] / TRISD[x] = 1; ANSELx[x] = 0	TRISA[x] = 1; ANSELx[x] = 0
其他设置	INTEDG, INTPO, INTFIXB, INTE, GIE, INTF	IOCA, PAIE, GIE, PAIF
触发	上升沿或下降沿 (二选一)	0 → 1 或 1 → 0
需要软件监控?	No	需要

表 6-1 PA4-INT 和 PORTA 端口变化中断之间的区别

对于 PORTA 端口变化中断：

1. 将输入寄存器值锁存到端口变化中断锁存器中(通过读 PORTA)。
2. 当输入电平变化时，输入寄存器值与锁存器值之间的差异将置位 PAIF。

3. 输入寄存器的锁存过程(即读 PORTA 的过程)将更新用于比较的参考电平，如果在 PAIF 置位后立即读 PORTA 即可清除端口变化中断的触发条件。当端口不匹配事件不再存在时，PAIF 可通过指令清除。

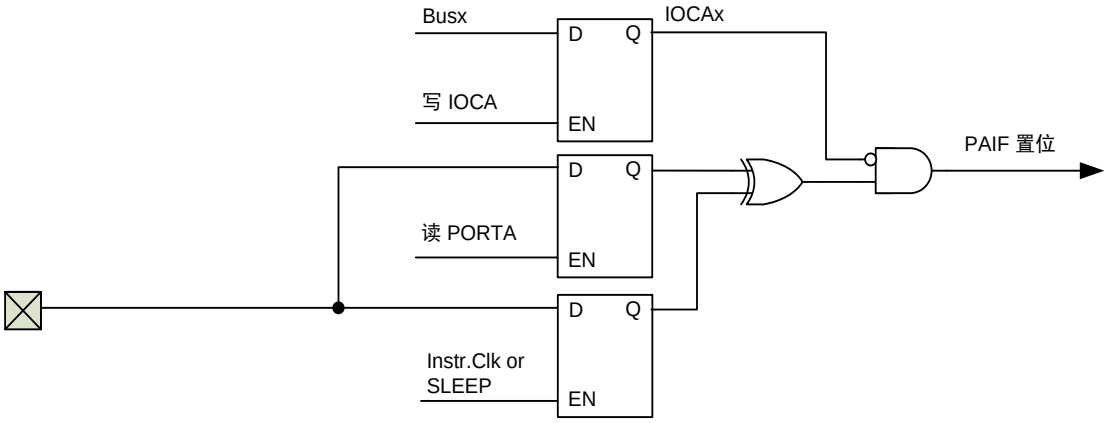


图 6-2 PORTA 转变沿中断

6.2. 中断相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位(RW)
INTCON	0B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
PIE1	8C	EEIE	CKMIE	LVDIE	ACMPIE	TMR1IE	OSFIE	TMR2IE	ADCIE	0000 0000
PIR1	0C	EEIF	CKMIF	LVDIF	ACMPIF	TMR1IF	OSFIF	TMR2IF	ADCIF	0000 0000
PIE2	89	-	-	-	-	-	T3IE	-	-	---- -0--
PIR2	09	-	-	-	-	-	T3IF	-	-	---- -0--
TRISA	85	PORTA 方向控制								1111 1111
IOCA	98	PORTA 端口变化中断设置								0000 0000
OPTION	81	/PAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111
COMAF1	286	INTPO[1:0]		TX0PO[2:0]			RX0PO[2:0]			0000 0000
COMAF2	287	UR1SW	UR0SW	-	TX1PO[1:0]		INTFIXB	RX1PO[1:0]		00-0 0100

表 6-2 中断相关寄存器地址和复位值

6.2.1. INTCON (Bank 首地址 + 0x0B)

Bit	7	6	5	4	3	2	1	0
Name	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	GIE	全局中断： 1 = 使能 (PEIE，各中断独立使能位适用) 0 = 全局关闭 (唤醒不受影响)
6	PEIE	外设总中断： 1 = 使能 (各中断独立使能位适用) 0 = 关闭 (无唤醒)
5	T0IE	Timer0 溢出中断： 1 = 使能 0 = 关闭 (无唤醒)
4	INTE	INT 外部中断： 1 = 使能 0 = 关闭 (无唤醒)
3	PAIE	PORTA 端口变化总中断： 1 = 使能 0 = 关闭 (无唤醒)
2	T0IF	Timer0 溢出中断标志位： 1 = Yes (锁存) 0 = No
1	INTF	INT 外部中断标志位： 1 = Yes (锁存) 0 = No
0	PAIF	PORTA 端口变化中断标志位： 1 = Yes (锁存) 0 = No

6.2.2. PIE1 (0x8C)

Bit	7	6	5	4	3	2	1	0
Name	EEIE	CKMIE	LVDIE	ACMPIE	TMR1IE	OSFIE	TMR2IE	ADCIE
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	EEIE	DROM 写完成中断： 1 = 使能 0 = 关闭 (无唤醒)
6	CKMIE	LIRC 和 HIRC 交叉校准中断： 1 = 使能 0 = 关闭 (无唤醒)
5	LVDIE	LVD 中断： 1 = 使能 0 = 关闭 (无唤醒)
4	ACMPIE	ADC 阈值比较匹配中断： 1 = 使能 0 = 关闭 (无唤醒)
3	TMR1IE	Timer1 与 PR1 匹配中断： 1 = 使能 0 = 关闭 (无唤醒)
2	OSFIE	外部振荡器故障中断： 1 = 使能 0 = 关闭 (无唤醒)
1	TMR2IE	Timer2 与 PR2 匹配中断： 1 = 使能 0 = 关闭 (无唤醒)
0	ADCIE	ADC 转换完成中断： 1 = 使能 0 = 关闭 (无唤醒)

6.2.3. PIR1 (0x0C)

Bit	7	6	5	4	3	2	1	0
Name	EEIF	CKMIF	LVDIF	ACMPIF	TMR1IF	OSFIF	TMR2IF	ADCIF
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	EEIF	DROM 写完成标志位： 1 = Yes (锁存) 0 = No
6	CKMIF	LIRC 和 HIRC 交叉校准完成标志位： 1 = Yes (锁存) 0 = No
5	LVDIF	LVD 中断标志位： 1 = Yes (锁存) 0 = No
4	ACMPIF	ADC 阈值比较匹配标志位： 1 = Yes (锁存) 0 = No
3	TMR1IF	Timer1 与 PR1 匹配标志位： 1 = Yes (锁存) 0 = No
2	OSFIF	外部振荡器故障标志位： 1 = Yes (锁存) 0 = No
1	TMR2IF	Timer2 与 PR2 匹配标志位： 1 = Yes (锁存) 0 = No
0	ADCIF	ADC 转换完成标志位： 1 = Yes (锁存) 0 = No

6.2.4. PIE2 (0x89)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	–	T3IE	–	–
Type	RO	RO	RO	RO	RO	RW	RO	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:3	N/A	保留位
2	T3IE	Timer3 与 PR3 匹配中断： 1 = 使能 0 = 关闭 (无唤醒)
1:0	N/A	保留位

6.2.5. PIR2 (0x09)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	–	T3IF	–	–
Type	RO	RO	RO	RO	RO	RW	RO	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:3	N/A	保留位
2	T3IF	Timer3 与 PR3 匹配标志位： 1 = Yes (锁存) 0 = No
1:0	N/A	保留位

6.2.6. TRISA (0x85)

Bit	7	6	5	4	3	2	1	0
Name	TRISA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	TRISA	PORTA[7:0] 方向控制： 1 = 输入 0 = 输出

6.2.7. IOCA (0x98)

Bit	7	6	5	4	3	2	1	0
Name	IOCA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	IOCA	PORTA[7:0] 端口变化中断： 1 = 使能 0 = 关闭

6.2.8. OPTION (0x81)

Bit	7	6	5	4	3	2	1	0
Name	/PAPU	INTEDG	T0CS	T0SE	PSA	PS[2:0]		
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function		
7	/PAPU	PORTA 弱上拉： 1 = 关闭所有 PORTA 上拉功能 0 = 上拉由 WPUA 控制		
6	INTEDG	INT 外部中断有效沿选择： 1 = 上升沿 0 = 下降沿		
5	T0CS	Timer0 输入源： 1 = PC5/T0CKI (计数器) 0 = T0CKSRC (定时器)		
4	T0SE	Timer0 计数器触发沿： 1 = 下降沿 0 = 上升沿		
3	PSA	分频电路分配位： 1 = 分配给 WDT 后分频器 0 = 分配给 Timer0 预分频器		
2:0	PS[2:0]		WDT 后分频比	Timer0 预分频比
		000	1	2
		001	2	4
		010	4	8
		011	8	16
		100	16	32
		101	32	64
		110	64	128
		111	128	256
		xxx	(PSA = 0) 1	(PSA = 1) 1

6.2.9. COMAF1 (0x286)

Bit	7	6	5	4	3	2	1	0
Name	INTPO[1:0]		TX0PO[2:0]			RX0PO[2:0]		
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	INTPO	INT / BKIN / ADC_ETR 管脚映射： 0x = PD4 10 = PD4 11 = PC4
5:3	TX0PO	UART0_TX 管脚映射： 当 UR0SW = 0：　当 UR0SW = 1： 0xx = PC2　0xx = PC1 100 = PC0　100 = PB7 101 = PB3　101 = PB2 110 = PB0　110 = PB5 111 = PC7　111 = PA0
2:0	RX0PO	UART0_RX 管脚映射： 当 UR0SW = 0：　当 UR0SW = 1： 0xx = PC1　0xx = PC2 100 = PB7　100 = PC0 101 = PB2　101 = PB3 110 = PB5　110 = PB0 111 = PA0　111 = PC7

6.2.10. COMAF2 (0x287)

Bit	7	6	5	4	3	2	1	0
Name	UR1SW	UR0SW	-	TX1PO		INTFIXB	RX1PO	
Type	RW	RW	RO	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	1	0	0

Bit	Name	Function
7	UR1SW	UART1 TX 和 RX 管脚交换： 1 = 交换 (详见 TX1PO / RX1PO) 0 = 正常
6	UR0SW	UART0 TX 和 RX 管脚交换： 1 = 交换 (详见 TX0PO / RX0PO) 0 = 正常
5	N/A	保留位
4:3	TX1PO	UART1_TX 管脚映射： 当 UR1SW = 0： 当 UR1SW = 1： 0x = PC7 0x = PA0 10 = PC5 10 = PC6 11 = PC2 11 = PC1
2	INTFIXB	INT 中断管脚映射： 1 = 由 INTPO 决定 0 = 映射在 PD4 (BKIN 和 ADC_ETR 复用映射仍由 INTPO 决定)
1:0	RX1PO	UART1_RX 管脚映射： 当 UR1SW = 0： 当 UR1SW = 1： 0x = PA0 0x = PC7 10 = PC6 10 = PC5 11 = PC1 11 = PC2

7 定时器 (TIMERS)

共有 5 个定时器，包括看门狗定时器(WDT)在内。

	WDT	Timer0	Timer1	Timer2	Timer3
预分频器 (位)	–	8 (与 WDT 共用)	4 (1x, 4x, 16x, Timer1 和 Timer2 共用)		–
计数器 (位)	16	8	12	16	8
后分频器 (位)	7 (与 Timer0 共用)	–	–	4 (1 – 16x)	–
时钟源	• LP • XT • HIRC • LIRC	• LP • XT • HIRC • 指令时钟 • PC5/T0CKI (转变沿计数器)	• LP • XT • HIRC • 指令时钟	• LP • XT • HIRC • 指令时钟 • LIRC • 2x 指令时钟 • 2x HIRC • 2x (EC, LP or XT)	• HIRC • 2x HIRC • LIRC • 系统时钟

表 7-1 定时器资源

注： 如果定时器的时钟源不是指令时钟，在更改 TMRx 之前需先设置 “TMRxON = 0”。

当定时器使能时，其所选的时钟源会自动开启。指令时钟在 SLEEP 模式下被关闭，因此不能用于 WDT，当 SYSON = 1 时，系统时钟将保持运行。当定时器选择 LP / XT 振荡器作为时钟源时，FOSC 必须相应配置成 LP / XT 模式或选择 INTOSCIO 模式，否则 LP / XT 振荡器将处于关闭状态，不会产生计数。

WDT 的后分频器(postscaler)和 Timer0 的预分频器(prescaler)共用同一个硬件分频电路。该硬件电路由指令选择分配给 WDT 或 Timer0，但二者不能同时使用。未被分配分频器的定时器，其分频比值为“1”。同样的规则也适用于共用同一个预分频器电路的 Timer1 和 Timer2。

当 POR 或系统复位时，除 Timer0 的计数器外，其他所有定时器的计数器、预分频器和后分频器都将复位。以下事件也将复位相应定时器的计数器和分频器：

	WDT	Timer0	Timer1	Timer2	Timer3
预分频器	–	• 写 TMR0 • PSA 切换	• T1ON = 0 & T1CKPSA = 1 • 写 TMR1L/H • 写 T1CON0	• TMR2ON = 0 & T1CKPSA = 0 • 写 TMR2L/H • 写 T2CON0	–
			• LIRC 和 HIRC 交叉校准启动 • T1ON = 0 & TMR2ON = 0		
计数器	• WDT, OST 溢出 • 进入/退出 SLEEP • CLRWDT • 写 WDTCON	• Timer0 溢出	• TMR1 = PR1 (匹配)	• TMR2 = PR2 (匹配)	• TMR3 = PR3 (匹配)
后分频器	• 除写 WDTCON 外的以上所有条件 • PSA 切换	–		• 除(T1ON =0 & TMR2ON = 0)外的以上所有条件	–

表 7-2 定时器的计数器和分频器的重置事件

一旦发生 PWM 故障刹车，且刹车事件一直保持，那么 Timer2 的计数器、预分频器和后分频器将停止递增，在故障刹车事件清除后将自动恢复。

PWM 单脉冲输出结束时将自动设置“TMR2ON = 0”，通过设置“TMR2ON = 1”可重新启动 Timer2。

7.1. 看门狗定时器 (Watch Dog Timer, WDT)

WDT 用于“从 SLEEP 中唤醒”或“CPU 挂起时产生系统复位”。当 WDT 计数到预设数量的时钟周期数时则产生溢出。

- SLEEP 模式下，WDT 溢出将触发唤醒。CPU 将从其进入 SLEEP 前的位置恢复操作。唤醒不是中断，也不是系统复位事件。
- 正常模式(非 SLEEP 模式)下，WDT 溢出将触发系统复位 (参阅 **章节 3.2** 系统复位)。随后是否产生初始化配置，则取决于 WDTBTE 设置。

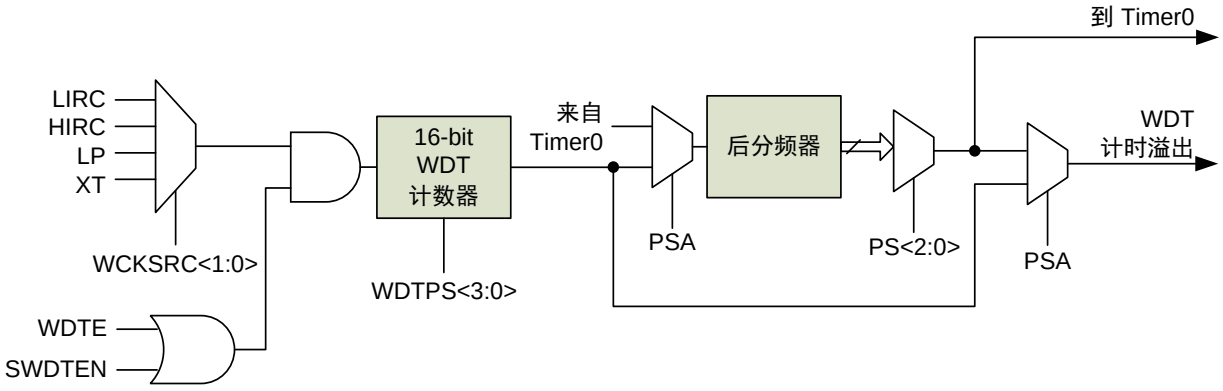


图 7-1 WDT 结构框图

计时超过看门狗定时时间：WDT-周期 x WDT-后分频比 / WDT 时钟频率，WDT 将溢出。

对于选定的时钟源，由于 WDT 后分频器的二进制特性，看门狗定时时间步长呈连续的倍数关系。选用 LIRC 作为时钟源时，WDT 溢出前可设置的最长定时时间为：

$$2^{16} \times 2^{7} / 32\text{kHz} = \sim 262 \text{ seconds.}$$

7.1.1. WDT 的设置和使用

由 WDTE (初始化配置寄存器) 以及 SWDTEN (用户寄存器) 使能 WDT，WDT 触发复位后是否产生初始化配置过程则由 WDTBTE (初始化配置寄存器) 决定。

WDT 时钟源由 WCKSRC 选择 (如果选 LIRC 则由 LFMOD 进一步选定频率)，后分频器由 WDTPS, PSA 和 PS 一起设置。当 WDT 使能时，其所选时钟源自动开启，且在 SLEEP 模式下保持运行。

如需阻止 WDT 溢出，必须在设定的定时时间之前清除 WDT，具体可参阅 **表 7-2** 中的清除 WDT 事件。WDT 被清除后将重新开始计时。

7.1.2. 在 Timer0 和 WDT 之间切换分频电路

共用的硬件分频电路可分配给 Timer0 或 WDT 使用，当在 Timer0 和 WDT 之间切换分频电路时可能会导致系统误复位。

将分频电路从分配给 Timer0 切换至 WDT 时，必须遵循以下指令顺序：

```
BANKSEL TMR0                ; Can skip if already in TMR0 bank
CLRWDT                      ; Clear WDT
CLRR TMR0                   ; Clear TMR0 and scaler
BANKSEL OPTION
BSR OPTION, PSA             ; Select WDT

LDWI b'11111000'            ; Mask scaler bits (PS2-0)
ANDWR OPTION, W
IORWI b'00000101'           ; Set WDT scaler bits to 32 (or any value desired)
STR OPTION
```

将分频电路从分配给 WDT 切换至 Timer0 时，必须遵循以下指令顺序：

```
CLRWDT                      ; Clear WDT and scaler
BANKSEL OPTION
LDWI b'11110000'            ; Mask TMR0 select and scaler bits (PSA, PS2-0)
ANDWR OPTION, W
IORWI b'00000011'           ; Set Timer0 scale to 16 (or any value desired)
STR OPTION
```

7.1.3. 改周期或后分频注意

在看门狗已经使能的情况下（不管是硬件还是软件使能），如果需要修改周期（WDTCON.WDTPS）或后分频（OPTION.PS），需要先清看门狗，以避免因计时已经处于溢出边缘而引发的意外复位。

7.2. 定时器 0 (TIMER0) 和 PWM0

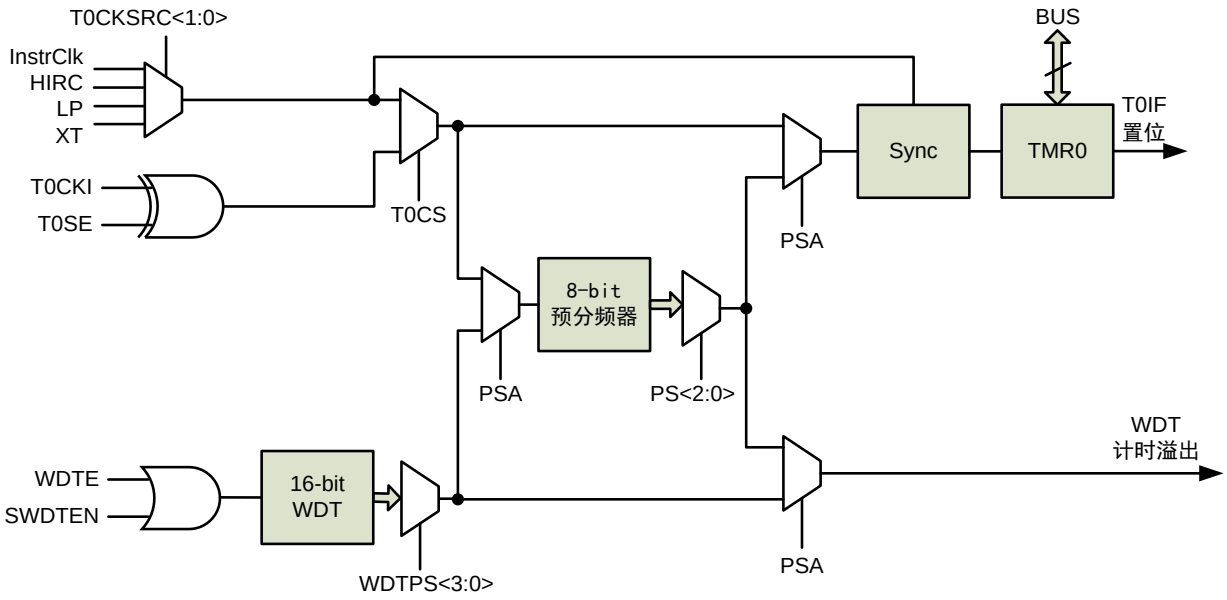


图 7-2 Timer0 结构框图

Timer0 可用作 I/O “PC5−T0CKI”的上升沿/下降沿计数器，或计时的定时器 (参阅 T0CKSRC)，也可用于产生 PWM0。

Timer0 计数和定时溢出时间 = *TMR0[7:0] * Timer0_预分频*

Timer0 溢出将置位中断标志位(T0IF)，是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(T0IE 和 GIE)。

注：

1. 对 TMR0 进行写操作后的 2 个指令周期内，Timer0 停止递增；
2. 如需从睡眠中唤醒，需设置 “T0CKRUN = 1” 和 “T0CKSRC ≠ 00”，以使 Timer0 的时钟源不是指令时钟且在 SLEEP 模式下保持运行，否则 Timer0 将停止计数，维持其进入睡眠前的计数值；
3. 如果 Timer0 用于对 T0CKI 进行计数，那么相对于 Timer0，对 T0CKI 有最小周期、高/低脉冲宽度的要求。除非 T0CKI 非常快且 T_{T0CK} 非常慢，否则通常都满足这些限制条件；

T0CKI	最小值	单位	条件
高/低脉冲宽度	0.5 * T_{T0CK} + 20	ns	无预分频
	10	ns	有预分频
周期	20 和 (T_{T0CK}+40)/N 中的较大者	ns	N = 1, 2, 4, …, 256 (有预分频) N = 1 (无预分频)

4. 关于 “在 Timer0 和 WDT 之间切换分频电路” 请参阅 **章节 7.1.2**。

7.2.1. PWM0

Timer0 具有 1 路极性可选、带有互补输出以及死区功能(参阅 ”T0DZ”)的 PWM0。PWM0 可直接输出到

I/O (参阅 ”P0AOE” 和 ”P0ANOE”)。

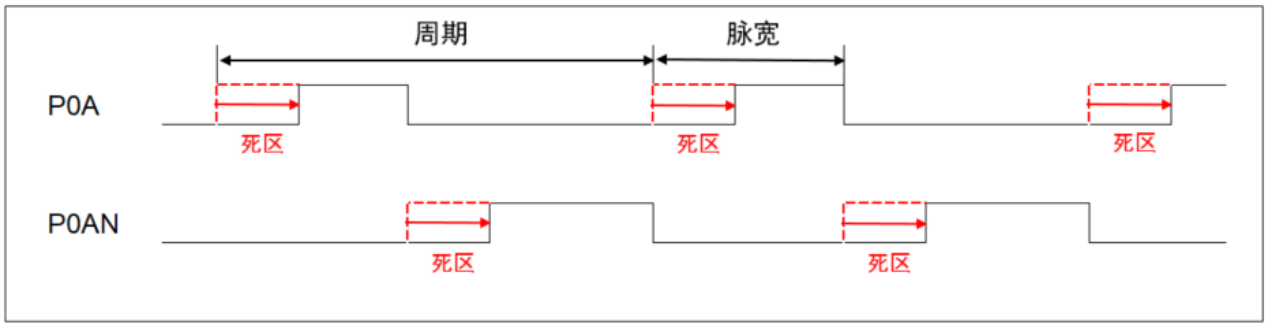


图 7-3 PWM0 时序图

PWM0 周期由 PR0 决定，如 **公式 7-1**：

公式 7-1 *PWM0 周期 = (PR0 + 1)*T_{T0CK}*(TMR0 预分频值)*

当 Timer0 的计数结果寄存器 TMR0 与 PR0 相等时：

- TMR0 被清零，即 “TMR0 = 0”。
- P0A 输出逻辑 “1”。

PWM0 脉宽和占空比分别由 **公式 7-2** 和 **公式 7-3** 计算得出：

公式 7-2 *脉宽 = T0DUTY*T_{T0CK}*(TMR2 预分频值)*

公式 7-3 *占空比 = T0DUTY÷ (PR0+1)*

7.3. 定时器 1 (TIMER1)

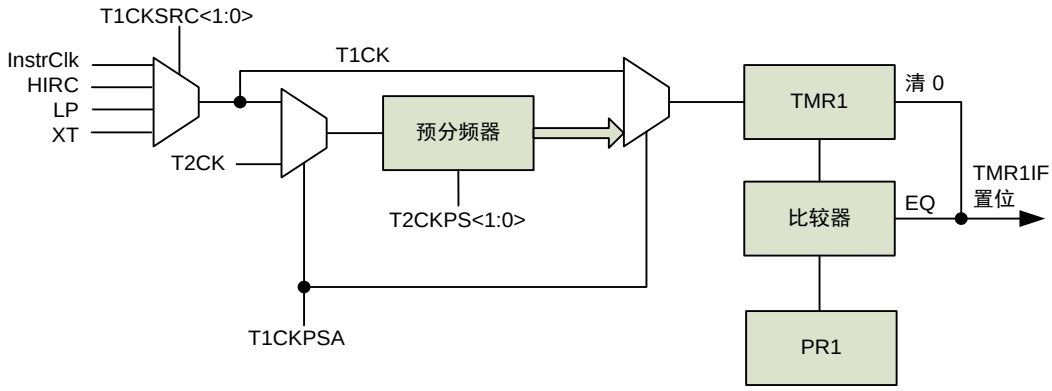


图 7-4 Timer1 结构框图

Timer1 用作计时功能。

共用的预分频器 (由 T2CKPS 设置预分频比值 1，4 或 16) 可分配给 Timer1 或 Timer2 使用，如果未分配给 Timer1，其分频比为“1”。

Timer1 将从 0x00 开始递增，直至递增到设置时间 =

Timer1_预分频 * PR1 / (Timer1 时钟频率)

此时，TMR1 与 PR1 匹配，并置位中断标志位(TMR1IF)，而 TMR1 在下一个递增周期复位为 0x00。匹配后是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(GIE, PEIE 和 TMR1IE)。

如需从睡眠中唤醒，需设置“T1CKRUN = 1”和“T1CKSRC ≠ 00”，以使 Timer1 的时钟源不是指令时钟且在 SLEEP 模式下保持运行，否则 Timer1 将停止计数，维持其进入睡眠前的计数值。

7.3.1. Timer1 寄存器的读/写操作

具体读写操作步骤请参照 **章节 7.4.1** “Timer2 寄存器的读/写操作”。

7.3.2. Timer1 自动关闭

当 T1AUSTP = 1 时，以下事件的到来可触发 Timer1 的自动关闭 (T1ON = 0)：

- LVD 中断事件

注：

1. 当发生上述硬件事件并触发 Timer1 自动关闭后，即使相应的中断标志位一直置 1，T1ON 也可由软件重新置 1。

7.4. 定时器 2 (TIMER2)

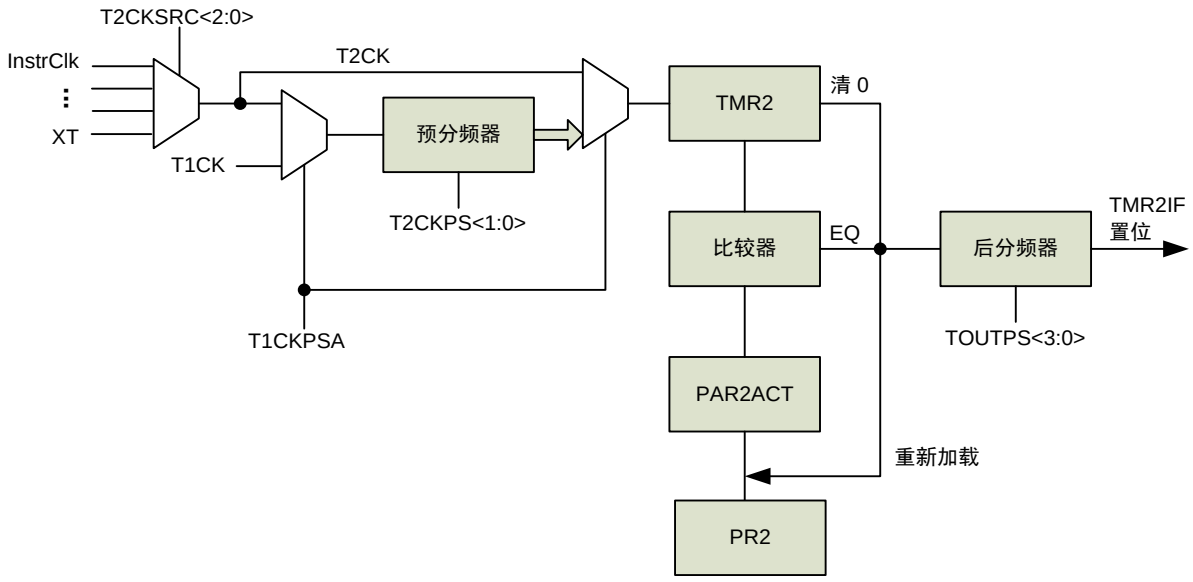


图 7-5 Timer2 结构框图

Timer2 为定时器，也可用于产生 PWM (无后分频器，参阅 **章节 8** PWM)，或用于 LIRC 和 HIRC 交叉校准计数 (CKCNTI=1)。可同时运用计数匹配和后分频器溢出功能。

Timer2 时钟源由 T2CKSRC 选择 (如果选 LIRC 则由 LFMOD 进一步选定频率)，Timer2 时钟被送入 Timer2 预分频器 (预分频比为 1, 4 或 16)，预分频器的输出用于递增 TMR2 寄存器，TMR2 从 0x00 开始递增直至与 PR2 匹配。匹配时：

1. TMR2 在下一个递增周期复位为 0x00；
2. Timer2 后分频器递增；
3. 当 Timer2 后分频器的递增输出值与后分频比设置值 (1, 2 …. 15 或 16) 相等时，Timer2 溢出；

4. 中断标志位 TMR2IF 置 1，是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(GIE, PEIE 和 TMR2IE)；

注：

1. 对 T2CON0 进行写操作并不会清零 TMR2 寄存器。
2. TMR2 和 PR2 都是可读/写寄存器。复位时，其值分别为 0x0000 和 0xFFFF。
3. 如需从睡眠中唤醒，需设置 “T2CKRUN = 1” 和 “T2CKSRC ≠ 000”，以使 Timer2 的时钟源不是指令时钟且在 SLEEP 模式下保持运行，否则 Timer2 将停止计数，维持其进入睡眠前的计数值。

7.4.1. Timer2 寄存器的读/写操作

TMR2H 和 TMR2L 不能同时读或写。通过 TMR2H 的内部缓存 TMR2H_buf 可解决此问题，必须遵循以下读写顺序：

- 读 TMR2 时，先读 TMR2L，此时 TMR2H 的值将被锁存到 TMR2H_buf，然后读 TMR2H。当 Timer2 的时钟源不是指令时钟时，需设置 “TMR2ON =0” 以停止计数，然后在读 TMR2 之前执行 1 条 NOP 指令。
- 写 TMR2 时，先写 TMR2H，此时 TMR2H 的值将被储存到 TMR2H_buffer 中。然后写 TMR2L，此时 TMR2H 和 TMR2L 将同时更新到计数值中。另外，为了避免写入操作和计数之间的竞争，在写操作前，应设置 “TMR2ON = 0” 以停止计数。

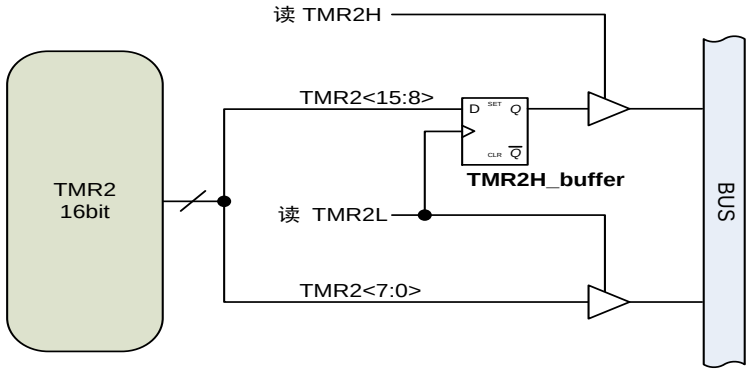


图 7-6 TMR2 读操作结构框图

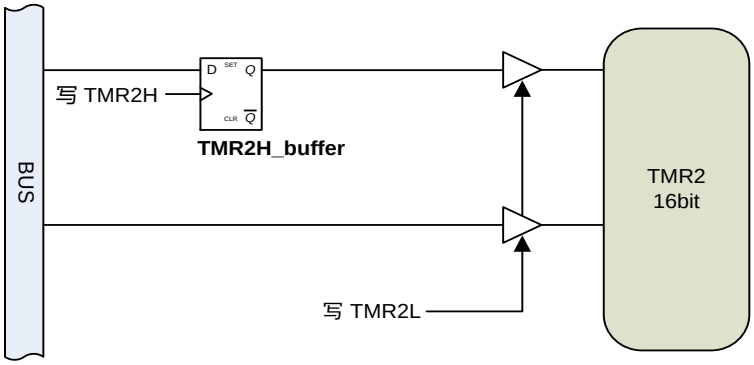


图 7-7 TMR2 写操作结构框图

7.5. 定时器 3 (TIMER3)

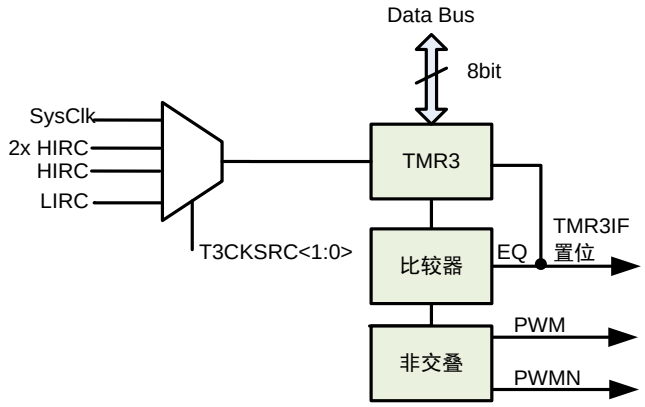


图 7-8 Timer3 结构框图

7.5.1. Timer3 时钟源

Timer3 的时钟源由寄存器位 T3CKSRC 控制，默认选择 HIRC。
在改变 Timer3 的时钟配置之前，建议先把 T3ON 清 0，以防止时钟切换过程中产生的毛刺对 Timer3 的影响。

7.5.2. TMR3 寄存器的读写

当 Timer3 时钟源跟 CPU 时钟不一样时，建议软件对 TMR3 的启动读写操作时先把 T3ON 清 0，以避免读错或写错。

7.5.3. Timer3 中断

在定时器 3 从 PR3 溢出到 0x00 时会置起 TMR3IF 标志，并产生中断 (如果使能了 TMR3 中断)。

7.5.4. Timer3 在睡眠模式下的状态

当 T3CKRUN=1 时，MCU 进入睡眠后，T3CKSRC 所选择的时钟源不会关闭，Timer3 保持在运行状态。

7.5.5. Timer3 的 PWM 输出

Timer3 具有带死区（死区配置）互补功能的 PWM。

当 PR3 配置为奇数时，PWM 占空比为 50%。

当 PR3 配置为偶数时，若 BUS 充放电模式，则转移时间比充放电时间多一个周期 (例如转移时间：充放电时间 = 5：4)。

若 IO 充放电模式，则充放电时间比转移时间多一个周期 (例如转移时间：充放电时间 = 4：5)。

7.6. 定时器相关寄存器汇总

名称	功能	默认
WDTE	WDT • 使能 (指令不能禁止) • 通过指令控制 (SWDTEN)	SWDTEN 控制
WDTBTE	WDT 复位启动初始化配置	关闭

表 7-3 定时器初始化配置寄存器

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
WDTCON	99	–	WCKSRC[1:0]		WDTPS[3:0]				SWDTEN	–000 1000
OPTION	81	/PAPU	INTEDG	T0CS	T0SE	PSA	PS[2:0]			1111 1111
TMR0	01	Timer0 计数器								xxxx xxxx
PR0	107	PR0[7:0]								1111 1111
T0DUTY	108	T0DUTY[7:0]								0000 0000
T0CON0	105	T0DZ[1:0]		P0ANOE	P0AOE	T0ON	T0CKRUN	T0CKSRC[1:0]		0000 1000
PR1L	117	Timer1 周期寄存器 PR1 低 8 位								1111 1111
PR1H	118	–	–	–	–	Timer1 周期寄存器 PR1 高 4 位				---- 1111
TMR1L	119	Timer1 计数器低 8 位								0000 0000
TMR1H	11A	–	–	–	–	Timer1 计数器高 4 位				---- 0000
T1CON0	106	–	T1AUSTP	T1ECKE	T1CKPSA	T1CKRUN	T1ON	T1CKSRC[1:0]		–000 0000
PR2L	17	Timer2 周期寄存器 PR2 低 8 位								1111 1111
PR2H	18	Timer2 周期寄存器 PR2 高 8 位								1111 1111
TMR2L	15	Timer2 计数器低 8 位								0000 0000
TMR2H	16	Timer2 计数器高 8 位								0000 0000
T2CON0	1E	PR2U	TOUTPS [3:0]				TMR2ON	T2CKPS [1:0]		0000 0000
T2CON1	1F	–	–	–	P1OS	P1BZM	T2CKSRC [2:0]			---0 0000
MSCON0	10C	–	–	ROMLPE	CLKOS	SLVREN	CKMAVG	CKCNTI	T2CKRUN	--01 0000
MSCON2	10D	P0ANP	P0AP	–						00-- ----
T3CON0	181	–	–	–	–	T3CKSRC[1:0]		T3CKRUN	T3ON	---- 0000
TMR3	298	Timer3 计数器								xxxx xxxx
PR3	299	Timer3 周期								1111 1111

表 7-4 定时器相关用户寄存器地址和复位值

7.6.1. WDTCON (0x99)

Bit	7	6	5	4	3	2	1	0
Name	–	WCKSRC[1:0]		WDTPS[3:0]				SWDTEN
Type	RO	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	1	0	0	0

Bit	Name	Function
7	N/A	保留位
6:5	WCKSRC	WDT 时钟源： 00 = LIRC 01 = HIRC 10 = LP (*) 11 = XT (*) (*) FOSC 应相应配置成 LP/XT 模式或选择 INTOSCIO 模式，否则振荡器将不会运行。
4:1	WDTPS	WDT 周期： 0000 = 32 0001 = 64 0010 = 128 0011 = 256 0100 = 512 0101 = 1,024 0110 = 2,048 0111 = 4,096 1000 = 8,192 1001 = 16,384 1010 = 32,768 1011 = 65,536 11xx = 65,536
0	SWDTEN	当 WDTE 选择由 SWDTEN 控制时： 1 = WDT 使能 0 = WDT 关闭

7.6.2. OPTION (0x81)

Bit	7	6	5	4	3	2	1	0
Name	/PAPU	INTEDG	T0CS	T0SE	PSA	PS[2:0]		
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7	/PAPU	PORTA 弱上拉： 1 = 关闭所有 PORTA 上拉功能 0 = 上拉由 WPUA 控制
6	INTEDG	INT 外部中断有效沿选择： 1 = 上升沿 0 = 下降沿
5	T0CS	Timer0 输入源： 1 = PC5/T0CKI (计数器) 0 = T0CKSRC (定时器)
4	T0SE	Timer0 计数器触发沿： 1 = 下降沿 0 = 上升沿
3	PSA	分频电路分配位： 1 = 分配给 WDT 后分频器 0 = 分配给 Timer0 预分频器
2:0	PS[2:0]	

	WDT 后分频比	Timer0 预分频比
000	1	2
001	2	4
010	4	8
011	8	16
100	16	32
101	32	64
110	64	128
111	128	256
xxx	(PSA = 0) 1	(PSA = 1) 1

7.6.3. TMR0 (0x01)

Bit	7	6	5	4	3	2	1	0
Name	TMR0[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	x	x	x	x	x	x	x	x

Bit	Name	Function
7:0	TMR0	Timer0 计数器

7.6.4. PR0 (0x107)

Bit	7	6	5	4	3	2	1	0
Name	PR0[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	PR0	Timer0 周期寄存器 PR0

7.6.5. T0DUTY (0x108)

Bit	7	6	5	4	3	2	1	0
Name	T0DUTY[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	T0DUTY	PWM0 (P0A / P0AN) 占空比

7.6.6. T0CON0 (0x105)

Bit	7	6	5	4	3	2	1	0
Name	T0DZ[1:0]		P0ANOE	P0AOE	T0ON	T0CKRUN	T0CKSRC[1:0]	
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	1	0	0	0

Bit	Name	Function
7:6	T0DZ	PWM0 死区时间： 00 = 0 ns 01 = 1x T0CK 10 = 2x T0CK 11 = 4x T0CK
5	P0ANOE	P0AN 通道输出到 PA4： 1 = 使能 0 = 关闭
4	P0AOE	P0A 通道输出到 PA5： 1 = 使能 0 = 关闭
3	T0ON	Timer0 模块： 1 = 使能 0 = 关闭
2	T0CKRUN	T0CK (非指令时钟) 运行使能位： 1 = 使能 0 = 关闭
1:0	T0CKSRC	Timer0 时钟源 (当 T0CS = 0 时)： 00 = 指令时钟 01 = HIRC 10 = LP (*) 11 = XT (*) (*) FOSC 应相应配置成 LP/XT 模式或选择 INTOSCIO，否则振荡器将不会运行

7.6.7. PR1L (0x117)

Bit	7	6	5	4	3	2	1	0
Name	PR1L[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	PR1L	Timer1 周期寄存器 PR1 低 8 位

7.6.8. PR1H (0x118)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	PR1H[3:0]			
Type	RO	RO	RO	RO	RW	RW	RW	RW
Reset	0	0	0	0	1	1	1	1

Bit	Name	Function
7:4	N/A	保留位
3:0	PR1H	Timer1 周期寄存器 PR1 高 4 位

7.6.9. TMR1L (0x119)

Bit	7	6	5	4	3	2	1	0
Name	TMR1L[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	TMR1L	Timer1 计数器低 8 位

7.6.10. TMR1H (0x11A)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	TMR1H[3:0]			
Type	RO	RO	RO	RO	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:4	N/A	保留位
3:0	TMR1H	Timer1 计数器高 4 位

7.6.11. T1CON0 (0x106)

Bit	7	6	5	4	3	2	1	0
Name	–	T1AUSTP	T1ECKE	T1CKPSA	T1CKRUN	T1ON	T1CKSRC[1:0]	
Type	RO	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	N/A	保留位
6	T1AUSTP	Timer1 自动关闭： 1 = 使能 0 = 关闭
5	T1ECKE	Timer1 输入源： 1 = PA2/T1CKI (计数器) 0 = T1CKSRC (定时器)
4	T1CKPSA	预分频器分配位： 1 = Timer1 0 = Timer2
3	T1CKRUN	T1CK (非指令时钟) 运行使能位： 1 = 使能 0 = 关闭
2	T1ON	Timer1 模块： 1 = 使能 0 = 关闭
1:0	T1CKSRC	Timer1 时钟源： 00 = 指令时钟 01 = HIRC 10 = LP (*) 11 = XT (*) (*) FOSC 应相应配置成 LP/XT 模式或选择 INTOSCIO，否则振荡器将不会运行。

7.6.12. PR2L (0x17)

Bit	7	6	5	4	3	2	1	0
Name	PR2L[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	PR2L	Timer2 周期寄存器 PR2 低 8 位

7.6.13. PR2H (0x18)

Bit	7	6	5	4	3	2	1	0
Name	PR2H[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	PR2H	Timer2 周期寄存器 PR2 高 8 位

7.6.14. TMR2L (0x15)

Bit	7	6	5	4	3	2	1	0
Name	TMR2L[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	TMR2L	Timer2 计数器低 8 位

7.6.15. TMR2H (0x16)

Bit	7	6	5	4	3	2	1	0
Name	TMR2H[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	TMR2H	Timer2 计数器高 8 位

7.6.16. T2CON0 (0x1E)

Bit	7	6	5	4	3	2	1	0
Name	PR2U	TOUTPS[3:0]				TMR2ON	T2CKPS / T1CKPS	
Type	RW1	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	PR2U	Timer2 更新周期和占空比的即时生效控制位： 1 = PR2/P1xDTy 缓冲值立即分别更新到 PR2ACT 和 P1xDTyACT 0 = 周期结束后正常更新
6:3	TOUTPS	Timer2 后分频比： 0000 = 1 0001 = 2 0010 = 3 0011 = 4 0100 = 5 0101 = 6 0110 = 7 0111 = 8 1000 = 9 1001 = 10 1010 = 11 1011 = 12 1100 = 13 1101 = 14 1110 = 15 1111 = 16
2	TMR2ON	Timer2 模块： 1 = 使能 (PWM 单脉冲模式下自动清 0) 0 = 关闭
1:0	T2CKPS / T1CKPS	Timer2/Timer1 预分频比： 00 = 1 01 = 4 1x = 16

7.6.17. T2CON1 (0x1F)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	P1OS	P1BZM	T2CKSRC		
Type	RO	RO	RO	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:5	N/A	保留位
4	P1OS	单脉冲模式： 1 = 单脉冲 (One pulse) 模式 0 = 正常连续模式
3	P1BZM	蜂鸣器模式： 1 = 蜂鸣器 (Buzzer) 模式，50%占空比 0 = 正常 PWM 模式
2:0	T2CKSRC	Timer2 时钟源： 000 = 指令时钟 001 = 2 x 指令时钟 010 = 2x HIRC 011 = 2x LP, XT or EC (*) 100 = HIRC 101 = LIRC 110 = LP (*) 111 = XT (*) (*) FOSC 应相应配置成 LP/XT 模式或选择 INTOSCIO，否则振荡器将不会运行。

7.6.18. MSCON0 (0x10C)

Bit	7	6	5	4	3	2	1	0
Name	–	–	ROMLPE	CLKOS	SLVREN	CKMAVG	CKCNTI	T2CKRUN
Type	RO	RO	RW	RW	RW	RW	RW	RW
Reset	0	0	0	1	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5	ROMLPE	PROM 低功耗模式： 1 = 使能 0 = 关闭
4	CLKOS	内部时钟输出引脚 (仅当 FOSC 选择 INTOSC 模式时有效)： 1 = CLKO 映射到 PD5 0 = CLKO 映射到 PA2
3	SLVREN [1]	仅适用于 LVREN 配置成由指令 SLVREN 控制 LVR： 1 = 使能 LVR 0 = 关闭 LVR
2	CKMAVG	LIRC 和 HIRC 交叉校准时 4 次平均测量模式： 1 = 使能 0 = 关闭
1	CKCNTI	启动 LIRC 和 HIRC 的交叉校准功能： 1 = 启动 0 = 完成 (自动清零)
0	T2CKRUN	T2CK (非指令时钟) 运行使能位： 1 = 使能 0 = 关闭

[1] 发生欠压复位时，此位不会清 0。其它复位会将此位清 0。

7.6.19. MSCON2 (0x10D)

Bit	7	6	5	4	3	2	1	0
Name	P0ANP	P0AP	–	–	–	–	–	–
Type	RW	RW	RO	RO	RO	RO	RO	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	P0ANP	P0AN 极性： 1 = 取反 0 = 正常
6	P0AP	P0A 极性： 1 = 取反 0 = 正常
5:0	N/A	保留位

7.6.20. T3CON0 (0x181)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	T3CKSRC[1:0]		T3CKRUN	T3ON
Type	RO	RO	RO	RO	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:4	NA	保留位，读 0
3:2	T3CKSRC	T3 时钟源选择 00 = HIRC 01 = HIRC*2 10 = LIRC 11 = 系统时钟
1	T3CKRUN	T3CK (非指令时钟) 运行使能位： 1 = 使能 0 = 关闭
0	T3ON	定时器 3 使能位 1 = 使能 0 = 禁止

7.6.21. TMR3 (0x298)

Bit	7	6	5	4	3	2	1	0
Name	TMR3[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	x	x	x	x	x	x	x	x

Bit	Name	Function
7:0	TMR3	Timer3 计数结果寄存器

7.6.22. PR3 (0x299)

Bit	7	6	5	4	3	2	1	0
Name	PR3[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	PR3	Timer3 周期寄存器

8 PWM

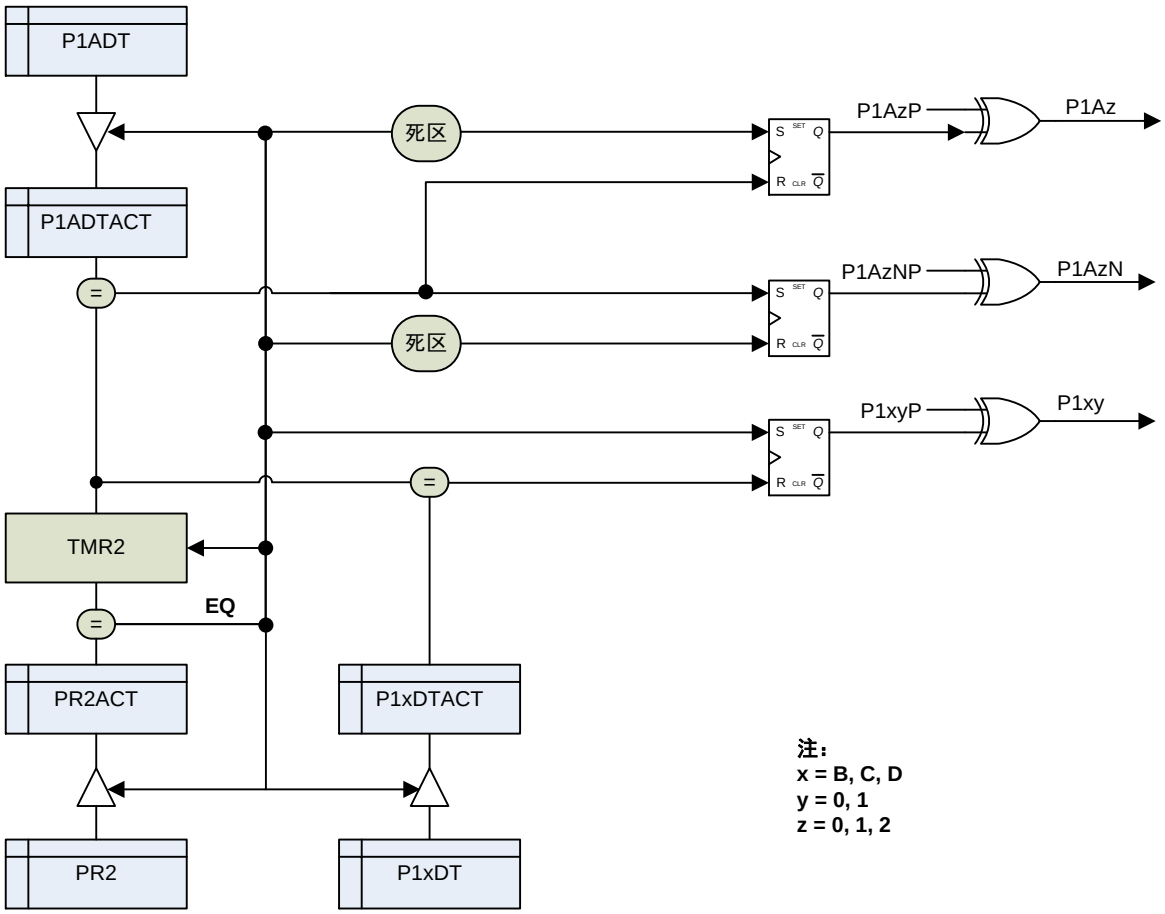


图 8-1 PWM 结构框图

PWM 特性：

- 4 路周期相同 (由 Timer2 控制)，且独立占空比的 PWM 通道：P1A, P1B, P1C, P1D
- 通道 1 带有互补输出：/P1A
- 1 路带死区控制的 PWM 通道：P1A, /P1A
- 16−bit 的分辨率
- 每路 PWM 输出极性可独立控制
- 带可选自动重启功能的多种故障刹车事件
- PWM1 和 PWM4 可映射到 3 个 I/O, PWM2 和 PWM3 可映射到 2 个 I/O
- XOR/XNOR 第 2 功能输出
- 蜂鸣器模式
- 单脉冲输出模式
- 周期和占空比寄存器双缓冲读写设计

SLEEP 模式下的 PWM 操作 – 不管是否处于 SLEEP 状态，只要 Timer2 保持运行(参阅 **章节 7.4** Timer2)，且 PWM 使能，那么 PWM 将一直保持运行。如果 SLEEP 模式下 Timer2 自动关闭，那么 PWM 的输出将保持其进入 SLEEP 前的状态。

8.1. 时钟源

4 路 PWM 通道的专用定时器为 Timer2，其可选择的时钟源如下：

- 1x or 2x 指令时钟
- 1x or 2x HIRC
- LIRC
- 1x or 2x 外部时钟 (只有当 FOSC 相应地配置成 LP, XT 或 EC 模式时才有效)

具体时钟源设置请参阅 **章节 7.4** Timer2.

8.2. 周期 (Period)

PWM 周期由 Timer2 的 PR2 (PR2H + PR2L) 周期寄存器决定，如 **公式 8-1**：

公式 8-1 *PWM 周期 = (PR2 + 1)*T_{T2CK}*(TMR2 预分频值)*

当 Timer2 的计数结果寄存器 TMR2 与 PR2 相等时：

- Timer2 的周期和占空比寄存器(PR2ACT 和 P1xDTACT)被更新。
- TMR2 被清零，即 “TMR2 = 0”。
- P1Ax, P1Bx, P1Cx, P1Dx 输出逻辑 “1”。

8.3. 占空比 (Duty Cycle)

4 路 PWM 均具有独立的占空比，由相应的 2 x 8−bit 寄存器 (P1xDTH, P1xDTL) 设置。P1xDTH 为高 8 位而 P1xDTL 为低 8 位。由于内部的双缓冲设计，P1xDTH 和 P1xDTL 寄存器可在任何时刻被更新写入。

当想用 PWM B/C/D 通道输出 100%占空比时，P1xDT (x = B、C、D) 的值需要大于或等于 PR2+2。

注：P1xDT (x=B、C、D) 和 PR2 分别由对应的两个 8 位寄存器合并而来。

PWM 脉宽(Pulse width) 和占空比(Duty cycle) 分别由 **公式 8-2** 和 **公式 8-3** 计算得出：

公式 8-2 *脉宽 = P1xDT*T_{T2CK}*(TMR2 预分频值)*

公式 8-3 *占空比 = P1xDT ÷ (PR2+1)*

8.4. 死区 (Deadband) 时间

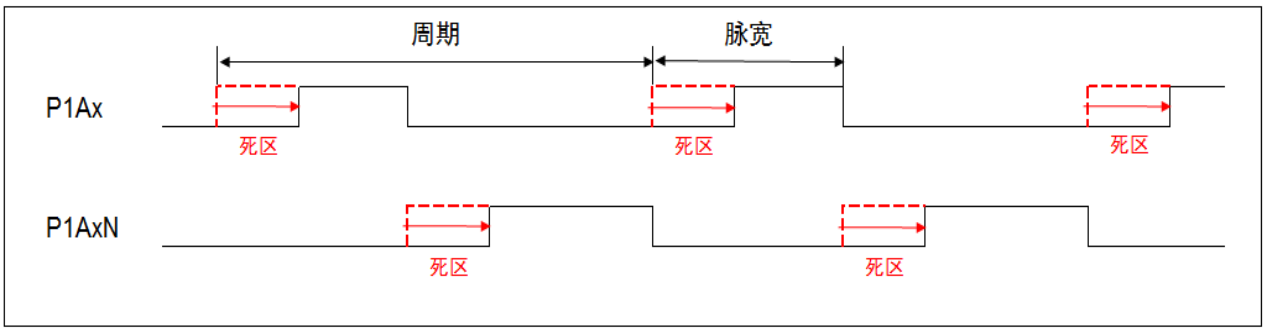


图 8-2 PWM 死区时间时序图

如果 P1DC ≠ “00 0000”，P1Ax 和 P1AxN (/P1A) 的低到高转换沿将产生延迟，延迟时间即为”死区”时间。有效脉宽和占空比也相应减小。死区定时器以 Timer2 时钟作为计数时钟源。

8.5. 故障刹车 (Fault-Break) 功能

4 路 PWM 均支持故障刹车功能。一旦发生故障刹车事件，且只要故障条件一直存在，PWM 输出引脚将根据其设置一直输出预设状态。TMR2ON 不受影响。故障刹车事件可以为下列条件之一：

- BKIN = 0
- BKIN = 1
- ADC 阈值比较结果为 1
- BKIN = 0 或 ADC 阈值比较结果为 1

注： P1BEVT 为故障事件状态位。每次 ADC 转换结束后都会更新阈值比较结果。

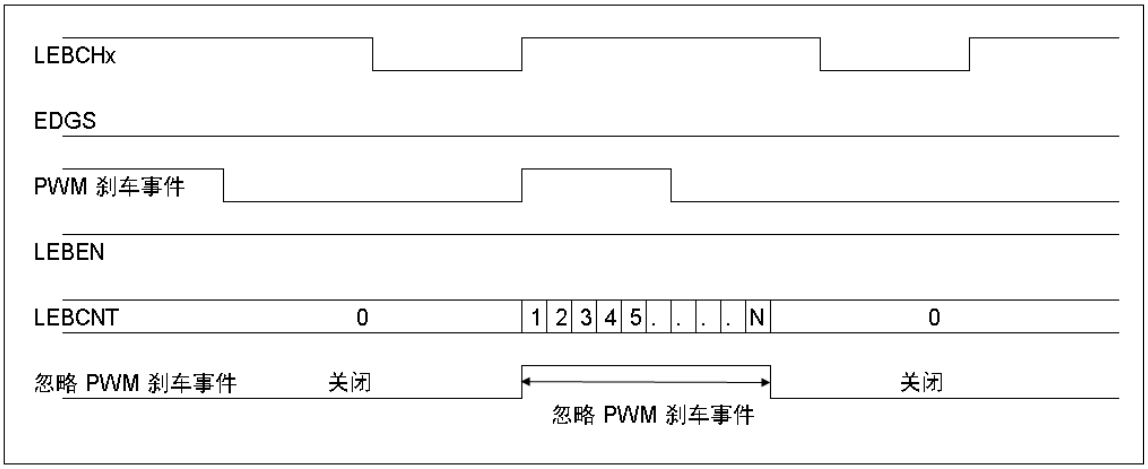


图 8-3 LEB 时序图

如果 “LEBEN = 1”，那么在 LEB 计数时间内将忽略 PWM 故障刹车事件的触发。这种 LEB 特性对 PWM 故障刹车触发(BKIN) 和 ADC 触发均适用，且参数设置也共用。

故障刹车时的输出状态 – 故障刹车时，P1x 输出可以为输入状态(高阻)，输出高或低。

故障清除 – 只要故障条件有效，P1BEVT 便不能由指令清零。只有当故障条件被清除时，P1BEVT 才可被指令清零。

自动重启模式 – 发生故障刹车时，Timer2 将停止计数 (P1BKM=0)，当故障事件结束后，Timer2 将从其停止处恢复计数。4 路 PWM 输出可同时配置成自动重启模式，否则 PWM 输出必须由指令重启。

8.6. 周期和占空比寄存器的更新

周期和各占空比寄存器可随时被更新写入，但除非使用 PR2U 来使其立即强制更新，否则直至下一个周期到来时其更新值才会真正有效。

注： 指令可读写 PR2 和 P1xDTL, P1xDTH 寄存器，而 xxxACT 对软件不可见。

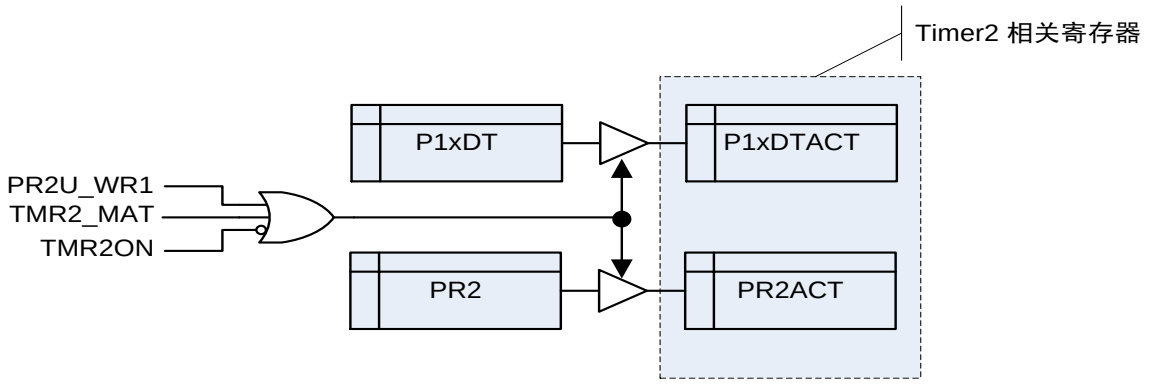


图 8-4 Timer2 寄存器的更新

周期和占空比寄存器的双缓冲读写设计可确保在大部分情况下减少 PWM 输出的毛刺，但如果在非常接近一个周期结束时去更新这些寄存器(特别是在 Timer2 的频率比系统时钟 SysClk 快的情况下)，则可能发生不可预知的情况，且可能导致 xxxACT 寄存器的值被改为非期望值。

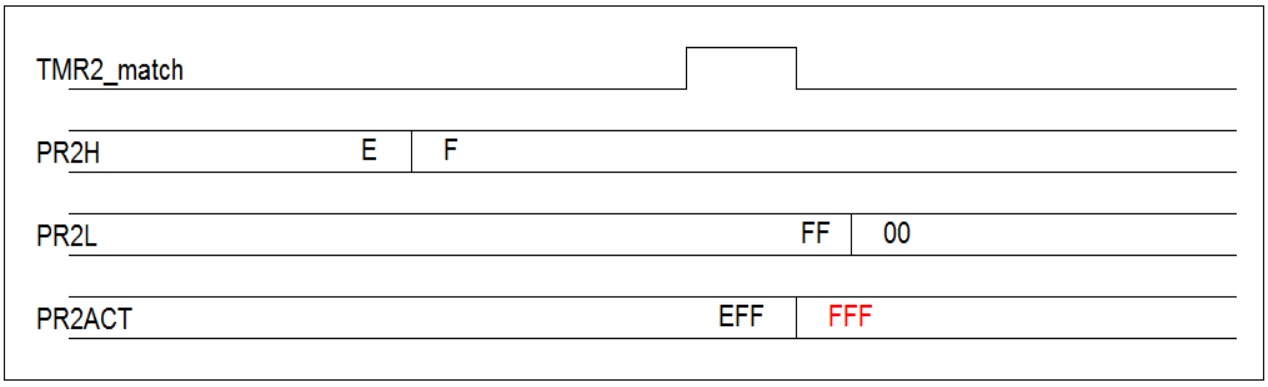


图 8-5 PR2ACT 值被更新成 FFF (期望值为 F00)

因此强烈建议在一个新的周期开始后立即更新 PR2 和 xxxDTx 寄存器。

8.7. PWM 输出

重映射 – 4 路独立占空比的 PWM 通道 P1A, P1B, P1C, P1D，可映射到不同的 I/O 引脚。PWM1 和 PWM4 可分别映射到 3 个 I/O，PWM2 和 PWM3 可分别映射到 2 个 I/O。

蜂鸣器 (Buzzer) 模式 – 输出周期为 (2*(PR2+1)*T_{T2CK} *(TMR2 预分频值)。P1A, P1B, P1C 和 P1D 将输出 50%占空比的方波。

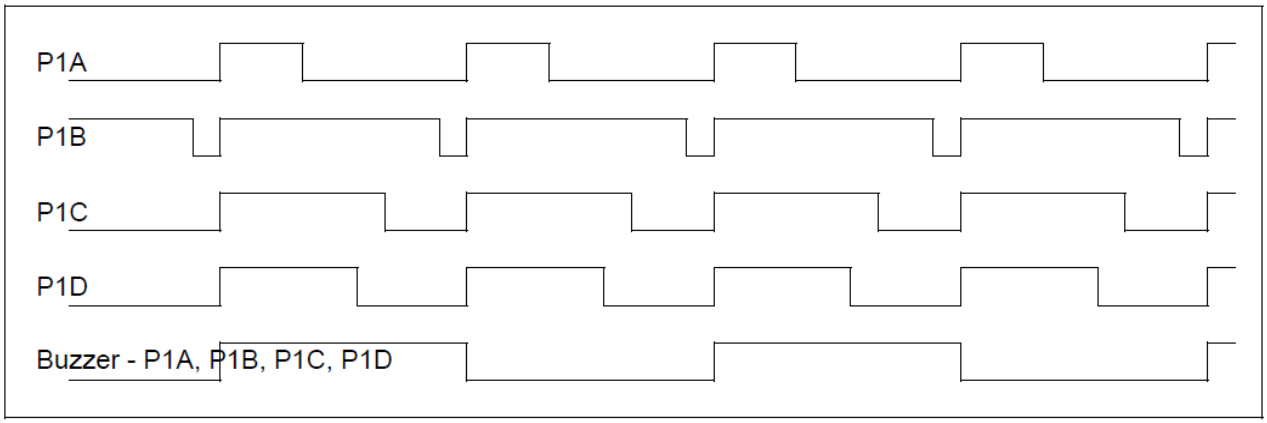


图 8-6 蜂鸣器模式的输出时序图

单脉冲输出 – P1A, P1B, P1C 和 P1D 将只产生一次相应的单脉冲。

注：单脉冲输出时，死区需要配置为非 0。

8.8. (P1C, P1D) 和 (P1B, P1C) 的第 2 功能输出

PC6 = P1C xor P1D (或 P1C xnor P1D，参阅 “P1CF2E” 和 “P1CF2”)。

PC7 和/或 PA7 = P1B xor P1C (或 P1B xnor P1C，参阅 “P1DF2E” 和 “P1DF2”)。

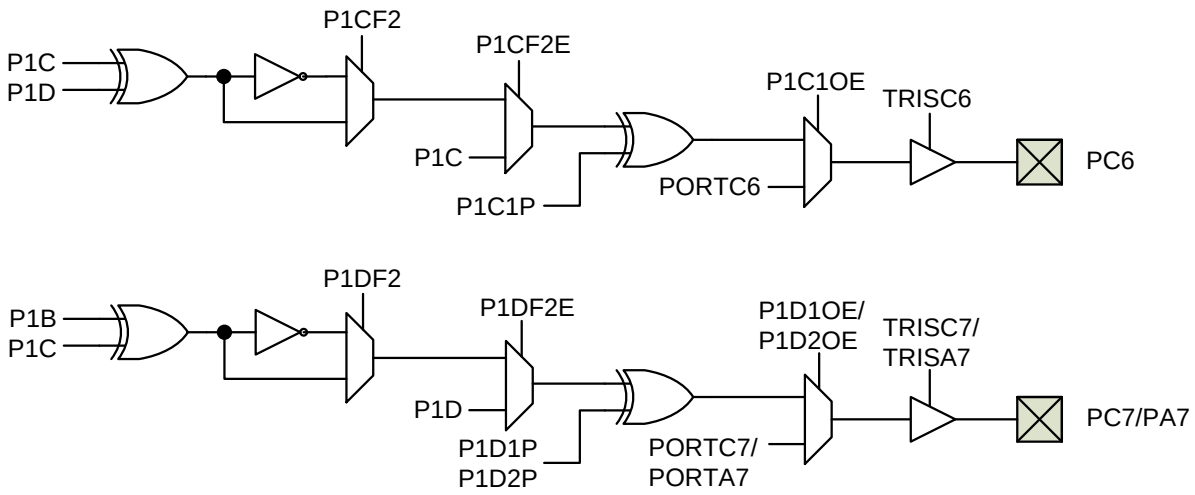


图 8-7 第 2 功能输出结构框图

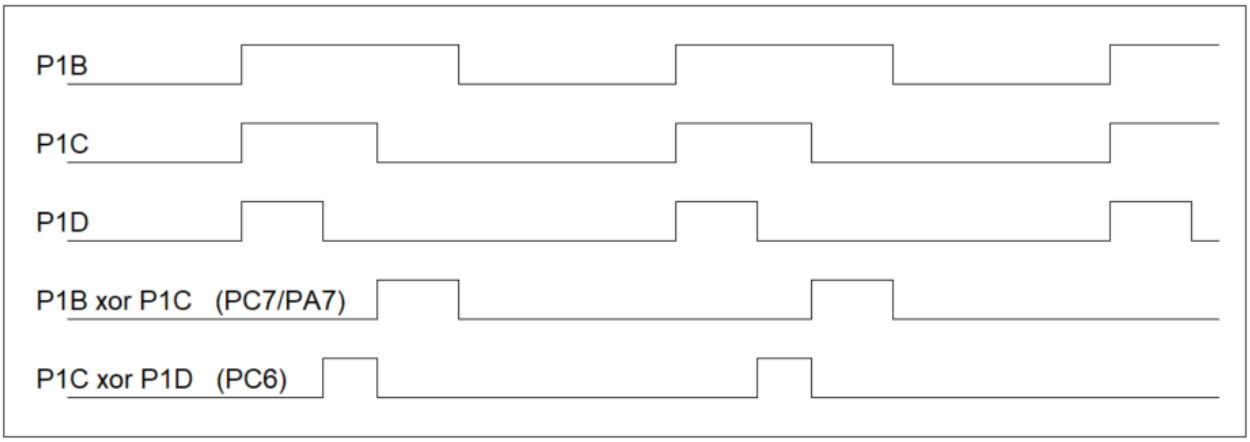


图 8-8 P1B 和 P1C 的第 2 功能时序图

8.9. PWM 相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
P1ADTL	0D	P1A 占空比低 8 位								0000 0000
P1ADTH	0E	P1A 占空比高 8 位								0000 0000
P1BDTL	0F	P1B 占空比低 8 位								0000 0000
P1BDTH	10	P1B 占空比高 8 位								0000 0000
P1CDTL	11	P1C 占空比低 8 位								0000 0000
P1CDTH	12	P1C 占空比高 8 位								0000 0000
P1DDTL	13	P1D 占空比低 8 位								0000 0000
P1DDTH	14	P1D 占空比高 8 位								0000 0000
TMR2L	15	Timer2 计数器低 8 位								0000 0000
TMR2H	16	Timer2 计数器高 8 位								0000 0000
PR2L	17	Timer2 周期寄存器 PR2 低 8 位								1111 1111
PR2H	18	Timer2 周期寄存器 PR2 高 8 位								1111 1111
P1BR0	19	P1BEVT	P1BKS[2:0]			P1BSS[1:0]		P1ASS[1:0]		0000 0000
P1BR1	1A	P1D2SS[1:0]		P1DSS[1:0]		P1C2SS[1:0]		P1CSS[1:0]		0000 0000
P1POL0	1B	P1C0P	P1B0P	P1A2NP	P1A2P	P1A1NP	P1A1P	P1A0NP	P1A0P	0000 0000
P1POL1	1C	P1D2P	P1D1P	P1D0P	–	–	P1C1P	P1B1P	–	000– –00–
P1CON	1D	P1AUE	P1DC[6:0]							0000 0000
T2CON0	1E	PR2U	TOUTPS[3:0]				TMR2ON	T2CKPS[1:0]		0000 0000
T2CON1	1F	–	–	–	P1OS	P1BZM	T2CKSRC[2:0]			---0 0000
P1AUX	8D	P1BKM	P1CDM	P1B2SS[1:0]		P1CF2E	P1CF2	P1DF2E	P1DF2	0000 0000
P1OE0	9E	P1C0OE	P1B0OE	P1A2NOE	P1A2OE	P1A1NOE	P1A1OE	P1A0NOE	P1A0OE	0000 0000
P1OE1	9F	P1D2OE	P1D1OE	P1D0OE	–	–	P1C1OE	P1B1OE	–	000– –00–
LEBCON	10E	LEBEN	–	–	–	EDGS	–	–	–	0--- 0---
ADDLY	110	ADDLY[7:0] / LEBPRL[7:0]								0000 0000
ADCON2	115	ADINTREF[1:0]		ETGTYP[1:0]		ADDLY8	ETGSEL[2:0]			0100 0000

表 8-1 PWM 相关用户寄存器地址和复位值

8.9.1. P1ADTL (0x0D)

Bit	7	6	5	4	3	2	1	0
Name	P1ADTL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	P1ADTL	P1A 占空比低 8 位

8.9.2. P1ADTH (0x0E)

Bit	7	6	5	4	3	2	1	0
Name	P1ADTH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	P1ADTH	P1A 占空比高 8 位

8.9.3. P1BDTL (0x0F)

Bit	7	6	5	4	3	2	1	0
Name	P1BDTL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	P1BDTL	P1B 占空比低 8 位

8.9.4. P1BDTH (0x10)

Bit	7	6	5	4	3	2	1	0
Name	P1BDTH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	P1BDTH	P1B 占空比高 8 位

8.9.5. P1CDTL (0x11)

Bit	7	6	5	4	3	2	1	0
Name	P1CDTL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	P1CDTL	P1C 占空比低 8 位

8.9.6. P1CDTH (0x12)

Bit	7	6	5	4	3	2	1	0
Name	P1CDTH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	P1CDTH	P1C 占空比高 8 位

8.9.7. P1DDTL (0x13)

Bit	7	6	5	4	3	2	1	0
Name	P1DDTL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	P1DDTL	P1D 占空比低 8 位

8.9.8. P1DDTH (0x14)

Bit	7	6	5	4	3	2	1	0
Name	P1DDTH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	P1DDTH	P1D 占空比高 8 位

8.9.9. TMR2L (0x15)

Bit	7	6	5	4	3	2	1	0
Name	TMR2L[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	TMR2L	Timer2 计数器低 8 位

8.9.10. TMR2H (0x16)

Bit	7	6	5	4	3	2	1	0
Name	TMR2H[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	TMR2H	Timer2 计数器高 8 位

8.9.11. PR2L (0x17)

Bit	7	6	5	4	3	2	1	0
Name	PR2L[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	PR2L	Timer2 周期寄存器 PR2 低 8 位

8.9.12. PR2H (0x18)

Bit	7	6	5	4	3	2	1	0
Name	PR2H[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	PR2H	Timer2 周期寄存器 PR2 高 8 位

8.9.13. P1BR0 (0x19)

Bit	7	6	5	4	3	2	1	0
Name	P1BEVT	P1BKS[2:0]			P1BSS[1:0]		P1ASS[1:0]	
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	P1BEVT	PWM 发生故障事件标志位： 1 = Yes (锁存，直至被清零) 0 = No
6:4	P1BKS	PWM 故障源： 000: 禁止故障刹车功能 001: BKIN= 0 010: BKIN=1 011: 禁止故障刹车功能 100: 禁止故障刹车功能 101: 禁止故障刹车功能 110: ADC 阈值比较结果为 1 111: BKIN= 0 or ADC 阈值比较结果为 1
3:2	P1BSS	故障下 P1B0 输出状态： 00 = 高阻 01 = 0 1x = 1
1:0	P1ASS	故障下 P1Ax 及 P1AxN 输出状态 (x = 0~2)： 00 = 高阻 01 = 0 1x = 1

8.9.14. P1BR1 (0x1A)

Bit	7	6	5	4	3	2	1	0
Name	P1D2SS[1:0]		P1DSS[1:0]		P1C2SS[1:0]		P1CSS[1:0]	
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	P1D2SS	故障下 P1D1/P1D2 输出状态： 00 = 高阻 01 = 0 1x = 1
5:4	P1DSS	故障下 P1D0 输出状态： 00 = 高阻 01 = 0 1x = 1
3:2	P1C2SS	故障下 P1C1 输出状态： 00 = 高阻 01 = 0 1x = 1
1:0	P1CSS	故障下 P1C0 输出状态： 00 = 高阻 01 = 0 1x = 1

8.9.15. P1POL0 (0x1B)

Bit	7	6	5	4	3	2	1	0
Name	P1C0P	P1B0P	P1A2NP	P1A2P	P1A1NP	P1A1P	P1A0NP	P1A0P
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	P1C0P	P1C0 输出极性： 1 = 低电平 0 = 高电平
6	P1B0P	P1B0 输出极性： 1 = 低电平 0 = 高电平
5	P1A2NP	P1A2N 输出极性： 1 = 低电平 0 = 高电平
4	P1A2P	P1A2 输出极性： 1 = 低电平 0 = 高电平
3	P1A1NP	P1A1N 输出极性： 1 = 低电平 0 = 高电平
2	P1A1P	P1A1 输出极性： 1 = 低电平 0 = 高电平
1	P1A0NP	P1A0N 输出极性： 1 = 低电平 0 = 高电平
0	P1A0P	P1A0 输出极性： 1 = 低电平 0 = 高电平

8.9.16. P1POL1 (0x1C)

Bit	7	6	5	4	3	2	1	0
Name	P1D2P	P1D1P	P1D0P	-	-	P1C1P	P1B1P	-
Type	RW	RW	RW	RO	RO	RW	RW	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	P1D2P	P1D2 输出极性： 1 = 低电平 (第 2 功能反向波形) 0 = 高电平 (第 2 功能波形)
6	P1D1P	P1D1 输出极性： 1 = 低电平 (第 2 功能反向波形) 0 = 高电平 (第 2 功能波形)
5	P1D0P	P1D0 输出极性： 1 = 低电平 0 = 高电平
4:3	N/A	保留位
2	P1C1P	P1C1 输出极性： 1 = 低电平 (第 2 功能反向波形) 0 = 高电平 (第 2 功能波形)
1	P1B1P	P1B1 输出极性： 1 = 低电平 0 = 高电平
0	N/A	保留位

8.9.17. P1CON (0x1D)

Bit	7	6	5	4	3	2	1	0
Name	P1AUE	P1DC[6:0]						
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	P1AUE	PWM 自动重启： 1 = 当故障条件被清除时，P1BEVT 自动清零，PWM 自动重启 0 = 当故障条件被清除时，P1BEVT 由指令清零，PWM 重启
6:0	P1DC	死区时间 = P1DC[6:0] x T2CK

8.9.18. T2CON0 (0x1E)

Bit	7	6	5	4	3	2	1	0
Name	PR2U	TOUTPS[3:0]				TMR2ON	T2CKPS / T1CKPS	
Type	RW1	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	PR2U	Timer2 更新周期和占空比的即时生效控制位： 1 = PR2/P1xDTy 缓冲值立即分别更新到 PR2ACT 和 P1xDTyACT 0 = 周期结束后正常更新
6:3	TOUTPS	Timer2 后分频比： 0000 = 1 0001 = 2 0010 = 3 0011 = 4 0100 = 5 0101 = 6 0110 = 7 0111 = 8 1000 = 9 1001 = 10 1010 = 11 1011 = 12 1100 = 13 1101 = 14 1110 = 15 1111 = 16
2	TMR2ON	Timer2 模块： 1 = 使能 (PWM 单脉冲模式下自动清 0) 0 = 关闭
1:0	T2CKPS / T1CKPS	Timer2/Timer1 预分频比： 00 = 1 01 = 4 1x = 16

8.9.19. T2CON1 (0x1F)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	P1OS	P1BZM	T2CKSRC		
Type	RO	RO	RO	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:5	N/A	保留位
4	P1OS	单脉冲模式： 1 = 单脉冲 (One pulse) 模式 0 = 正常连续模式
3	P1BZM	蜂鸣器模式： 1 = 蜂鸣器 (Buzzer) 模式，50%占空比 0 = 正常 PWM 模式
2:0	T2CKSRC	Timer2 时钟源： 000 = 指令时钟 001 = 2 x 指令时钟 010 = 2x HIRC 011 = 2x LP, XT or EC (*) 100 = HIRC 101 = LIRC 110 = LP (*) 111 = XT (*) (*) FOSC 应相应配置成 LP/XT 模式或选择 INTOSCIO，否则振荡器将不会运行。

8.9.20. P1AUX (0x8D)

Bit	7	6	5	4	3	2	1	0
Name	P1BKM	P1CDM	P1B2SS[1:0]		P1CF2E	P1CF2	P1DF2E	P1DF2
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	P1BKM	故障刹车时，Timer2 计数器及其预分频： 1 = 不受影响 0 = 停止计数
6	P1CDM	故障刹车时，P1C/P1D 输出控制： 1 = 保持输出 0 = 分别由 P1CSS /P1C2SS /P1DSS /P1D2SS 寄存器控制
5:4	P1B2SS	故障下 P1B1 输出状态： 00 = 高阻 01 = 0 1x = 1
3	P1CF2E	P1C1 管脚第 2 功能控制： 1 = 使能 0 = 关闭
2	P1CF2	P1C1 管脚第 2 功能选择： 1 = P1C xnor P1D (同或) 0 = P1C xor P1D (异或)
1	P1DF2E	P1D1/P1D2 管脚第 2 功能控制： 1 = 使能 0 = 关闭
0	P1DF2	P1D1/P1D2 管脚第 2 功能选择： 1 = P1B xnor P1C (同或) 0 = P1B xor P1C (异或)

8.9.21. P1OE0 (0x9E)

Bit	7	6	5	4	3	2	1	0
Name	P1C0OE	P1B0OE	P1A2NOE	P1A2OE	P1A1NOE	P1A1OE	P1A0NOE	P1A0OE
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	P1C0OE	P1C0 输出到相关引脚： 1 = 使能 0 = 关闭
6	P1B0OE	P1B0 输出到相关引脚： 1 = 使能 0 = 关闭
5	P1A2NOE	P1A2N 输出到相关引脚： 1 = 使能 0 = 关闭
4	P1A2OE	P1A2 输出到相关引脚： 1 = 使能 0 = 关闭
3	P1A1NOE	P1A1N 输出到相关引脚： 1 = 使能 0 = 关闭
2	P1A1OE	P1A1 输出到相关引脚： 1 = 使能 0 = 关闭
1	P1A0NOE	P1A0N 输出到相关引脚： 1 = 使能 0 = 关闭
0	P1A0OE	P1A0 输出到相关引脚： 1 = 使能 0 = 关闭

8.9.22. P1OE1 (0x9F)

Bit	7	6	5	4	3	2	1	0
Name	P1D2OE	P1D1OE	P1D0OE	–	–	P1C1OE	P1B1OE	–
Type	RW	RW	RW	RO	RO	RW	RW	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	P1D2OE	P1D2 输出到相关引脚： 1 = 使能 0 = 关闭
6	P1D1OE	P1D1 输出到相关引脚： 1 = 使能 0 = 关闭
5	P1D0OE	P1D0 输出到相关引脚： 1 = 使能 0 = 关闭
4:3	N/A	保留位
2	P1C1OE	P1C1 输出到相关引脚： 1 = 使能 0 = 关闭
1	P1B1OE	P1B1 输出到相关引脚： 1 = 使能 0 = 关闭
0	N/A	保留位

8.9.23. LEBCON (0x10E)

Bit	7	6	5	4	3	2	1	0
Name	LEBEN	–	–	–	EDGS	–	–	–
Type	RW	RW	RW	RO	RW	RO	RO	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	LEBEN	ADC 触发和 BKIN 的 LEB 控制： 1 = 使能 0 = 关闭 注：当 GO/DONE=1 时进行切换将产生不可预知的结果；
6:4	N/A	保留位
3	EDGS	LEB 周期结束后，触发 ADC 转换控制： 1 = 触发 0 = 不触发
2:0	N/A	保留位

8.9.24. ADDLY/LEBPRL (0x110)

Bit	7	6	5	4	3	2	1	0
Name	ADDLY[7:0] / LEBPRL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ADDLY / LEBPRL	ADC 延迟计数器/ LEB 计数器低 8 位 (非软件触发，ADEX = 1 有效) 延迟时间 = (ADDLY+3) x T_{AD} (如果启用 PWM 输出触发 ADC，在 PWM 运行过程中不得更改 ADDLY)

8.9.25. ADCON2 (0x115)

Bit	7	6	5	4	3	2	1	0
Name	ADINTREF[1:0]		ETGTYP[1:0]		ADDLY8 / LEBPR8	ETGSEL[2:0]		
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	1	0	0	0	0	0	0

Bit	Name	Function
7:6	ADINTREF	内部 $V_{ADC-REF}$： 00 = 0.5 01 = 2.0 10 = 3.0 11 = (未连接)
5:4	ETGTYP	LEB 触发沿： 00 = (PWM 或 ADC_ETR) 下降沿 01 = (PWM 或 ADC_ETR) 上升沿 1x = 保留值
3	ADDLY8 / LEBPR8	ADC 延迟计数器或 LEB 计数器高 1 位 (参阅 “ADDLY”)
2:0	ETGSEL	LEB 触发源： 000 = P1A0 001 = P1A0N 010 = P1B 011 = P1C 100 = P1D 101 = ADC_ETR 11x = 无

9 数据 EEPROM (DROM)

FT61FC6x 片内集成有 128 x 8−bit 的非易失性 DATA EEPROM (DROM) 存储区，并独立于主程序区。此数据存储区的典型擦写次数可达 100 万次。可通过指令进行读/写访问，每次可读取或写入的单位为 1 个 byte (8−bit)，没有页模式(page mode)。擦除/编程实现了硬件自定时，无需软件查询，以节省有限的代码空间。因此写操作可在后台运行，不影响 CPU 执行其他指令，甚至可进入 SLEEP 状态。读操作需要 2 个指令时钟周期，而写操作需要的时间为 $T_{WRITE-DROM}$ (使能自动擦除为 2 ~ 4 ms，关闭自动擦除则为 0.7 ~ 1.3 ms)。芯片内置有电荷泵，因此不需要提供外部高压，即可对 DROM 区进行擦除和编程。写操作完成时将置位相应的中断标志位 EEIF。

不支持连续读(sequential READ) 或连续写(sequential WRITE)，因此每次读/写都必须更新相应的地址。

只要 $V_{DD} \geq V_{POR}$, CPU 即可在 8 MHz / 2T 的速度下运行，在高温下甚至可低至 1.5V 左右。而写 DROM 所需的电压($V_{DD-WRITE}$) 较高。工作温度等级 2 和等级 1 的最低 $V_{DD-WRITE}$ 分别为 1.9V 和 2.2V。读 DROM 没有此最低电压限制(参阅 $V_{DD-READ}$)。

9.1. 写 DROM

1. 设置 “GIE = 0”；
2. 判断 GIE，如果 “GIE = 1”，则重复步骤 (1)；
3. 将目标地址写入 EEADR；
4. 将目标数据写入 EEDAT；
5. 设置 “WREN3, WREN2, WREN1” = “1, 1, 1”，并在整个编程过程中保持此设置；
6. 须立即设置 “WR = 1” 以启动写 (否则将中止)；
7. 编程完成 (编程时间请参阅 $T_{WRITE-DROM}$) 后，”WR” 和 “WREN3, WREN2, WREN1” 都将自动清 0；

示例程序：

```
BCR INTCON, GIE
BTSC INTCON, GIE
LJUMP $-2
BANKSEL EEADR
LDWI 55H
STR EEADR           ; 地址为 0x55
STR EEDAT           ; 数据为 0x55
LDWI 34H
STR EECON1          ; WREN3/2/1 同时置 1
BSR EECON2, 0       ; 启动写
BSR INTCON, GIE     ; GIE 置 1
```

注：

1. 当编程正在进行中时，对 DROM 进行读操作将导致读取结果错误。
2. 如果编程完成前，WREN3, WREN2 或 WREN1 任意一位被清 0，在下次编程前需清除 EEIF 标志位。

9.2. 读 DROM

将目标地址写入 EEADR 寄存器，然后启动读 (“RD = 1”)。2 个指令时钟周期后，DROM 数据被写入 EEDAT 寄存器，因而必须在读指令之后紧跟一条 NOP 指令。EEDAT 寄存器将保持此值直至下一次读或写操作。

读 DROM 的示例程序如下：

```
BANKSEL EEADR
LDWI dest_addr
STR EEADR
BSR EECON1, RD
NOP                 ; 读等待
LDR EEDAT, W        ; 此时，数据可由指令读取
```

9.3. 自动擦除功能

将数据写入字节(byte)的过程包括 2 步：先擦除字节，再编程字节。擦除操作将字节的所有 bits 擦成“1”，而编程操作会有选择地将个别 bits 写成“0”。本芯片内置自动擦除功能(设置 PONLY = 0)，即编程前会先自动执行擦除操作。除高温环境外，建议使能自动擦除功能。

如果使能自动擦除，多次编程 FF 数据实际为多次擦除相应字节。然而多次编程非 FF 数据实际只对相应字节进行了一次编程，因为每次编程前都会先自动擦除。只有当自动擦除功能关闭时，重复编程才会有累积效应。某些情况下，比如在非常高的温度下，可能会需要关闭自动擦除功能，并进行重复编程以确保编程成功。流程如下：

1. 确保自动擦除使能。
2. 擦除字节。
3. 读 DROM。
4. 如果字节数据为 FF 则继续，否则返回步骤(2)。
5. 再执行相同次数的步骤(2)即擦除操作，以确保擦除强度。
6. 关闭自动擦除。
7. 编程期望值。
8. 读 DROM。
9. 如果字节数据为期望值则继续，否则返回步骤(7)。
10. 再执行相同次数的步骤(7)即累积编程，以确保编程强度。

9.4. DROM 最后 16 个 byte

DROM 的最后 2 页 (0x70~7F, 共 16 byte) 用来存储 ADC 内部参考电压，软件只能读，不能写。

地址	名称	说明
0x70	VREF0P5_CAL[7:0]	ADC 内部参考 0.5V 的实测值
0x71	VREF0P5_CAL[15:8]	(V_{DD} = 5V)
0x72	VREF2P0_CAL[7:0]	ADC 内部参考 2V 的实测值
0x73	VREF2P0_CAL[15:8]	(V_{DD} = 5V)
0x74	VREF3P0_CAL[7:0]	ADC 内部参考 3V 的实测值
0x75	VREF3P0_CAL[15:8]	(V_{DD} = 5V)
0x76	N/A	保留位
0x77		
0x78		
0x79		
0x7A		
0x7B		
0x7C		
0x7D		
0x7E		
0x7F		

表 9-1 ADC V_{REF} 出厂值

注：

1. ADC 内部参考电压 VREFxPx_CAL[15:12] 表示实测值的整数部分，VREFxPx_CAL[11:0] 表示小数部分。例如 VREF0P5_CAL[15:0] = 0510，表示实测值为 0.510V。

9.5. DROM 相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
EEDAT	9A	EEDAT[7:0]								0000 0000
EEADR	9B	-	EEADR[6:0]							-000 0000
EECON1	9C	-	-	WREN3	WREN2	WRERR	WREN1	PONLY	RD	--00 x000
EECON2	9D	-	-	-	-	-	-	-	WR	---- ---0

表 9-2 DROM 相关用户寄存器地址和复位值

9.5.1. EEDAT (0x9A)

Bit	7	6	5	4	3	2	1	0
Name	EEDAT[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	EEDAT	DROM 数据

9.5.2. EEADR (0x9B)

Bit	7	6	5	4	3	2	1	0
Name	-	EEADR[6:0]						
Type	RO	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	N/A	保留位
6:0	EEADR	DROM 地址

9.5.3. EECON1 (0x9C)

Bit	7	6	5	4	3	2	1	0
Name	–	–	WREN3	WREN2	WRERR	WREN1	PONLY	RD
Type	RO	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	x	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5	WREN3	DROM 写使能 (bit 3)
4	WREN2	DROM 写使能 (bit 2)
3	WRERR	DROM 写错误标志位： 1 = 中止 (发生 MCLR 或 WDT 复位) 0 = 正常完成
2	WREN1	DROM 写使能 (bit 1) WREN3/ WREN2/ WREN1 结合使用： 111 = 使能，完成后重置为 000 (其他) = 关闭
1	PONLY	DROM 自动擦除： 1 = 关闭 (不擦除，只写) 0 = 使能 (先擦除，再写)
0	RD	DROM 读控制位： 1 = 使能 (保持 4 个 SysClk 周期，然后清零) 0 = 关闭

9.5.4. EECON2 (0x9D)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	–	–	–	WR
Type	RO	RO	RO	RO	RO	RO	RO	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:1	N/A	保留位
0	WR	DROM 写控制位： 1 = 启动一次写或写正在进行中 (完成后重置为 0) 0= 完成

10 12-bit 模/数转换器 (ANALOG TO DIGITAL CONVERTER, ADC)

ADC 模块可将模拟输入信号转换成 12-bit 的数字信号。ADC 可在不同的时钟速度下运行，并且在高达 2 MHz 的时钟速度 (即 100 kHz 的采样率，10 μs/采样) 下仍具有 11-bit 精度。

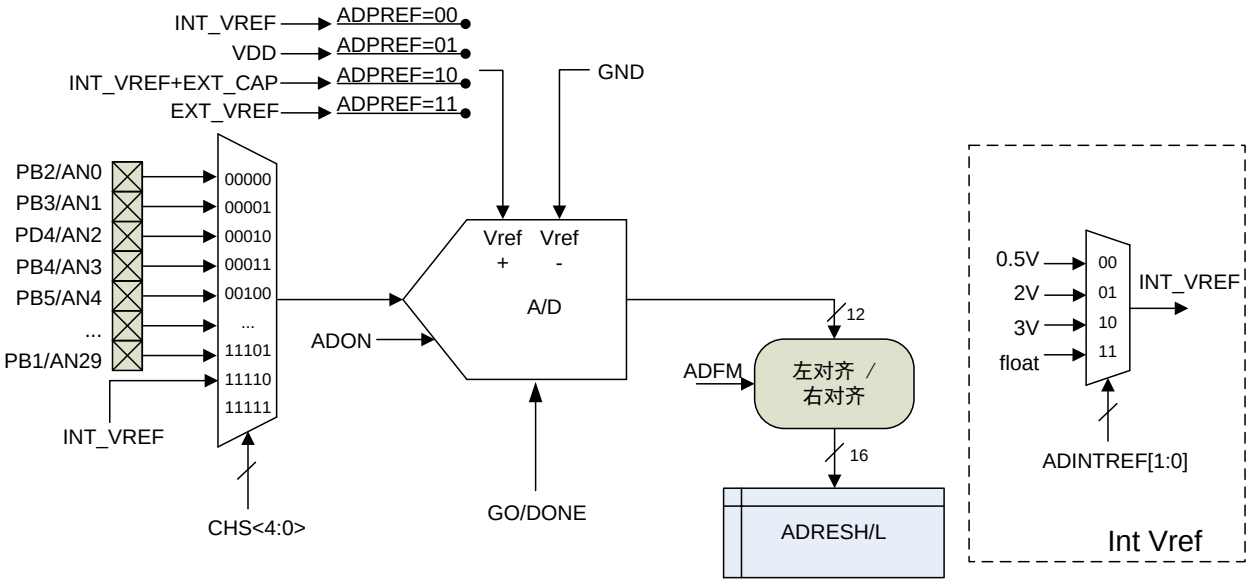


图 10-1 ADC 结构框图

模拟输入信号可选择为 26 个 I/O (ANx) 通道之一、3 个内部参考电压(Internal $V_{ADC-REF}$)之一。ADC 由指令、I/O (PC4/PD4) 或 PWM 触发。在触发和 ADC 采样之间可增加延时或前沿消隐(Leading Edge Blanking, LEB)。

当 ADC 转换完成和/或 ADC 阈值比较结果匹配时，将置位相应的中断标志位，并可触发中断和/或从睡眠中唤醒。

ADC 参考电压($V_{ADC-REF}$)可通过指令选择为 V_{DD}，3 个内部参考电压(0.5V, 2V, 3V)之一，或通过 I/O 输入外部参考电压。

ADC 不需要校准。另外，ADC 转换过程在后台运行，转换期间 CPU 可执行其他指令。

如果 ADC 需要在 SLEEP 下保持运行，且其转换时钟源为 SysClk 或其分频时，则需设置 SYSON = 1，来使系统时钟 SysClk 在 SLEEP 下保持运行。当 ADC 的时钟源为 LIRC 时，进入 SLEEP 后 LIRC 将自动开启。

当 ADC 配置为硬件触发(I/O 或 PWM)时，GO/DONE 由硬件触发事件直接置位并启动 A/D 转换，软件置位 GO/DONE 将被忽略。如果在 MCU 处于 SLEEP 下，硬件触发 (I/O 或 PWM) 启动 ADC 转换，则需设置 ADCS = 111 (LIRC)。

在高采样率的应用中，使用 ADC 时需注意 3 个时间点：

1. 所选通道开始采样的时刻。
2. 结束采样的时刻。采样保持电路断开前的瞬间，所选通道上的电压值被用于测量转换。
3. 数据转换完成时间。

10.1. ADC 配置

配置 ADC 包括以下设置 (更改配置时需设置 ADON = 0 以关闭 A/D 转换或外部触发)：

- 通道选择
- ADC 参考电压
- ADC 转换时钟源
- 转换结果格式
- 触发源
- ADC 延时或前沿消隐 (LEB)
- 阈值比较 (可选)
- 响应 (中断设置)

通道选择 – 由 CHS 寄存器选择输入通道，连接到用于 ADC 转换的采样保持电路。相应的 I/O 需设置 TRISx = 1 和 ANSELx = 1 来配置成模拟输入。

ADC 参考电压 ($V_{ADC-REF}$) – ADC 以 2 个参考电压作为相对值来测量输入模拟电压：V_{REF}+ 和 V_{REF}−。V_{REF}−固定接地，V_{REF}+参考电压可以选择为：

- VDD
- 内部参考电压
- 内部参考电压加外部电容 C_{EXT}
- 外部参考电压 (V_{REF}+为 PB5)

内部参考电压可以为 0.5V，2.0V，3.0V，或 “未连接” (参阅 “ADINTREF”)。其中，内部参考电压的出厂值存储在 DROM 的 0x70~0x75 地址，具体读取方法请参阅 **章节 9.4**。

ADC 转换时钟选择 – ADC 可通过指令选择 8 种时钟频率 (参阅 “ADCS”)：

- TSEL = 2T 时为 SysClk/N；TSEL = 4T 时为 SysClk/2N；N = 1, 2, 4, 8, 16, 32, 64
- LIRC (256 kHz 或 32 kHz，参阅 “LFMOD”)

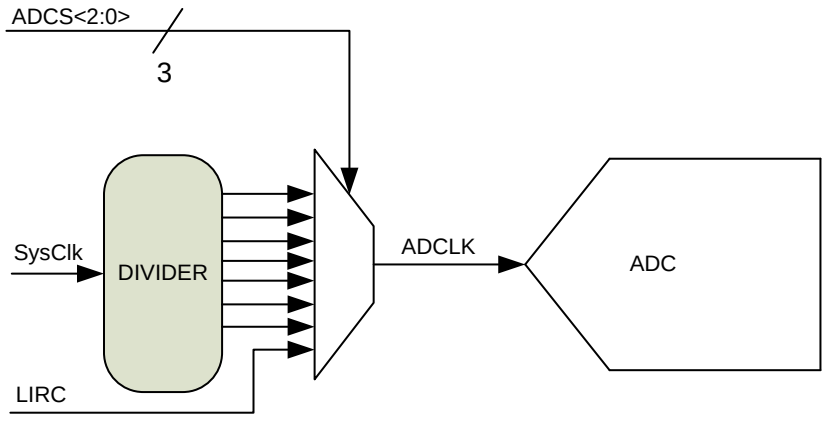


图 10-2 ADC 时钟配置

转换结果格式 – A/D 转换结果可储存为左对齐或右对齐两种格式(参阅 ”ADFM”)。

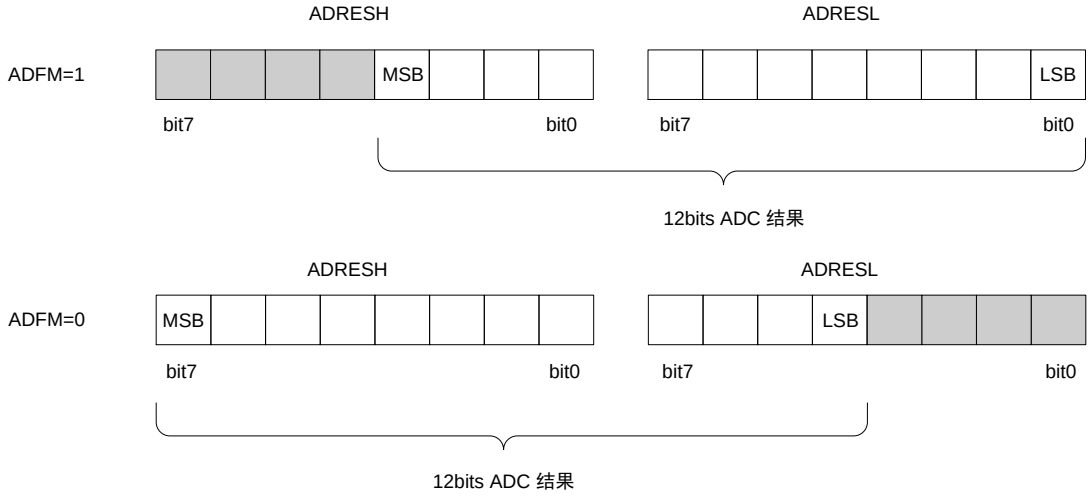


图 10-3 ADC 转换结果格式

10.1.1. ADC 触发和延时配置

ADC 转换可由指令(ADEX = 0)、PWM 边沿或 I/O(PC4/ PD4)转变沿(ADEX = 1)触发。其中，PWM 或 I/O 的触发沿可选择为 ”上升沿” 或 ”下降沿” (参阅 “ETGTYP”)。

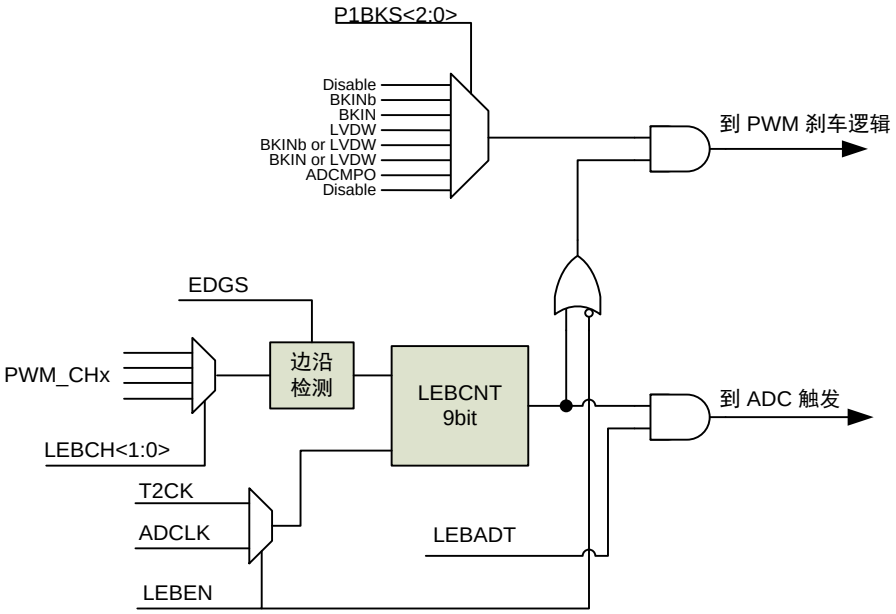


图 10-4 LEB 结构框图

在高速开关应用中，开关(如 MOSFETs/IGBTs)导通瞬间通常会产生极大的瞬变电流，而这些瞬变会导致测量误差。利用前沿消隐(LEB)功能，应用程序可忽略 PWM 输出边沿附近由 MOSFETs/IGBTs 开关所导致的预期瞬变。

LEB 和 PWM 的时钟源均为 T2CK (Timer2 时钟源)。LEB 计时期间，ADC 保持采样，直至 LEB 计时溢出(参阅 “LEBPR”)。在 LEB 计时周期内如果再次发生有效的 LEB 触发沿，则 LEB 定时器将清 0 并重新开始计数。

触发条件	延迟 / 消隐	触发通道
指令	(无延迟)	(N/A)
I/O (PA4)	(ADDLY+3) x T_{AD}; ADDLY = LEBPR	I/O (PC4/ PD4)
PWM	(LEBPR+3) x T_{AD}	LEBEN = 0; ETGSEL
	(LEBPR+3) x T_{T2CK}; (T_{T2CK} = Timer2 period)	LEBEN = 1; ETGSEL

表 10-1 ADC 触发，延迟和通道设置

如果由软件触发(ADEX = 0)，GO/DONE 由指令置位后立即启动 A/D 转换。如果由 I/O 或 PWM 触发，则有一定的延迟时间(参阅 **表 10-1**)。另外可通过设置 ADDLY/LEBPR 寄存器在 GO/DONE 置位前增加额外的延迟。ADC 延时定时器(ADDLY)和 LEB 定时器(LEBPR)共用同一个 9-bit 计数器，此计数器由 LEBPR8 和 LEBPRL[7:0]组成。延迟结束后采样保持电路将在 “0 – 1 x T_{AD}” 时间内断开。

注：

1. 在使能 LEB 前，需先设置 ADEX 和 ADON 寄存器。
2. ADC 转换完成前将忽略新的触发条件。.

10.1.2. ADC 中止转换

有时需中止 ADC 转换，比如需启动新的 ADC 采样。

- 当 ADEX = 0 (指令触发)时，可通过软件设置 GO/DONE = 0 来中止 ADC。
- 当 ADEX = 1 时，必须通过关闭 ADC 模块(ADON = 0)来中止 ADC。
- 当 ADC 转换被中止时，ADRESH 和 ADRESL 不会被更新，而是保持前一次的转换结果值。
- 系统复位时，由于相应的寄存器被复位，因此 ADC 将中止，且 ADC 模块被关闭。

10.1.3. 中断

ADC 模块在发生下列事件时将置位相应的中断标志位：

- ADC 转换完成 (ADCIF)
- ADC 阈值比较匹配 (ACMPIF)

每个中断模块均有其相应的中断使能位(ADCIE 和 ACMPIE)，和更高层级的外设总中断(PEIE)，以及最高级别的全局中断(GIE)。

无论中断使能位是否打开，发生中断事件时都将置位相应的中断标志位。是否触发中断和/或从睡眠中唤醒则取决于相应的使能控制位(GIE, PEIE, ADCIE 和 ACMPIE)。

注： ADC 转换完成后会自动将结果与 ADCMPH 寄存器里的阈值进行比较(参阅 “ADCMPE”)。由 ADCMPP 设置比较极性，当产生相应的匹配条件时将置位中断标志位 ACMPIF。仅转换结果的高 8 位用于阈值比较，因此 V_{REF}+和 V_{REF}−之间的比较 step 为 0.4%。当 ADFBEN = 1 时，也将

使能相应中断。

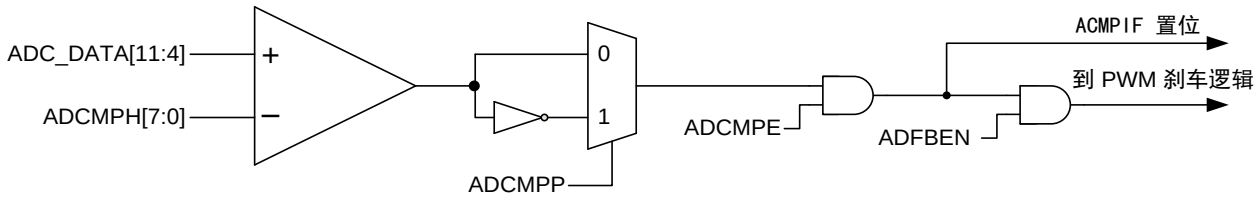


图 10-5 ADC 阈值比较结构框图

10.2. ADC 采样保持时间

采样保持时间 T_{ACQ}，必须足够长以保证内部 ADC 电压稳定在输入通道电压的 0.01%误差以内，从而达到 12bit 的精度(0.024%)。采样保持时间和外部串联电阻的关系如下(**表 10-2**)：

$$T_{ACQ} > 0.09 \times (R + 1)\ \mu s;\ R \text{ 的单位为 } k\Omega.$$

当采样保持时间 T_{ACQ} 为 2 μs 时，外部串联电阻必须 ≤ 21 kΩ。如果使用更大的串联电阻，则 T_{ACQ} 将成比例增加。结点漏电流限制了允许使用的最大串联电阻值。对于 5 nA 的结点漏电流，在 50 kΩ 的串联电阻上将产生 0.25 mV (2 V 参考电压的 0.0125%)的压降。而当温度超过 100°C 时，结点漏电流将大幅提高。因此，串联电阻越小越好。

串联电阻值	T_{ACQ}
> 50 kΩ	(不推荐)
43 kΩ	≥ 4.0 μs
21 kΩ	≥ 2.0 μs
< 21 kΩ	≥ 2.0 μs

表 10-2 不同的外部串联电阻与最短 T_{ACQ} 的对应关系

采样保持时间即为内部 ADC 观测输入通道电压的时间。

采样保持时间的开始 = 通道切换(参阅” CHS”)后或 ADC 稳定(参阅 T_{ST})后，以时间较长者为准。

采样保持时间的结束 = 硬件触发延迟结束或软件 GO/DONE 置 1 后的 0 – 1 x T_{AD} 时间内，延迟时间由触发条件决定(参阅 **表 10-1**)，同时采样保持电路断开。

采样点 = 采样保持电路断开前的瞬间，有 0 – 1 x T_{AD} 时间的不确定性。

采样断开后开始数据转换，转换过程需 15 x T_{AD} 时间。因此从硬件触发延迟结束或软件 GO/DONE 置 1 后到数据转换完成需要 15 x T_{AD} 到 16 x T_{AD} 时间。数据转换完成后，采样保持电路重新闭合，开始下一个采样周期，同样需等待足够长的采样时间 T_{ACQ} 后，才能再次启动 A/D 转换。

10.3. ADC 最短采样时间

T_{AD} 为 ADC 的时钟周期。完整的 12-bit 转换所需最短时间：T_{ACQ} + 16 x T_{AD}

可保证 11-bit 精度的最高转换采样率为 100 kHz (~10 μs/采样)。

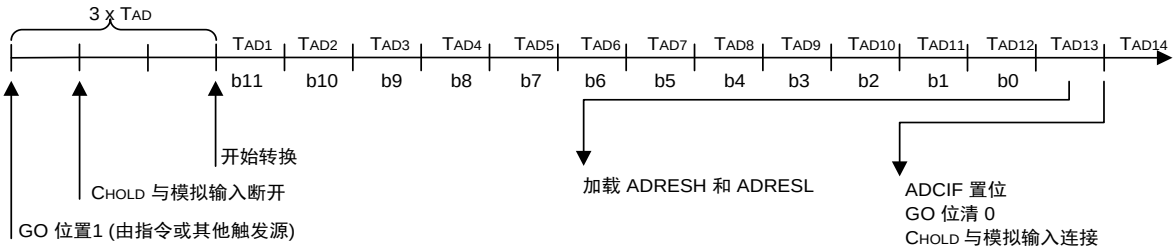


图 10-6 模数转换 T_{AD} 周期

10.4. ADC 转换步骤示例

设置 ADC：

1. 配置端口：
   a. 设置 TRISx = 1，禁止引脚输出驱动；
   b. 设置 ANSELx = 1，关闭数字输入、弱上拉和弱下拉功能；
2. 配置 ADC 模块：
   a. 选择 ADC 转换时钟源；
   b. 选择 ADC 参考电压；
   c. 选择 ADC 触发条件：软件、ADC_ETR 或 PWM，有或无 LEB；
   d. 选择转换结果格式；
   e. 使能阈值比较(可选)；
3. 配置 ADC 中断(可选)：
   a. 使能 ADC 转换完成和/或阈值比较中断；
   b. 使能外设总中断；
   c. 关闭全局中断(如需执行中断服务程序则使能)；
4. 打开 ADC 模块。然后等待所需 ADC 稳定时间 T_{ST} (~15 μs)，当 $V_{ADC-REF}$ 选择内部参考电压时，则需等待内部参考电压的稳定时间 T_{VRINT} (参阅" T_{VRINT}",**章节 17.7**) 和 T_{ST} 时间的较长者，即 max(T_{VRINT}，T_{ST})。

至此，ADC 已准备好对不同的通道进行采样。对输入通道采样时：

1. ADC 输入选择为需测量的通道 (参阅"CHS")。
2. 如有必要，需清除 ADC 转换完成或阈值比较中断标志位。
3. 对采样时间 T_{ACQ} 有最低要求，T_{ACQ} 需足够长以保证内部 ADC 输入电容充满至输入通道电压的 0.01%误差以内。另外取决于触发类型，切换通道后或 ADC 稳定后(以时间较长者为准)可能会有一定的延迟再触发。
   a. 对于软件触发，需要额外的 T_{ACQ} 时间。
   b. 对于 ADC_ETR 或 PWM 触发，除非使用非常大的串联电阻，否则内部延迟时间(ADDLY+3) x T_{AD} 通常大于 T_{ACQ}，因此不需要再额外延迟 T_{ACQ}。

5. 等待所需的延迟后，由指令置位 GO/DONE，或等待硬件触发事件自动置位 GO/DONE，以启动 A/D 转换。
6. 通过以下方式等待 ADC 转换完成：
   a. 等待 1 个 SysClk 周期后，查询 GO/DONE 位；
   b. 等待 ADC 中断 (使能中断时)；
7. 读取 ADC 转换结果。
8. 如有必要，清除 ADC 转换完成或阈值比较中断标志位。

注：

1. 虽然 GO/DONE 和 ADON 在同一个寄存器(ADCON0)中，但不应同时设置。
2. ADC 转换过程中或等待外部触发时，不可更改配置。建议在 ADON = 0 时进行更改。

以下为 ADC 程序示例 (输入采样通道为 PB2，ADC 时钟为 LIRC)：

```
BANKSEL ADCON1
LDWI B'01110000'          ; ADC LIRC clock
STR ADCON1
BANKSEL TRISB
BSR TRISB, 2              ; Set PB2 to input
BANKSEL ANSEL0
BSR ANSEL0, 0             ; Set-PB2 to analog
BANKSEL ADCON0
LDWI B'10000001'          ; Right justify,
STR ADCON0                ; VDD, Vref, AN0, On
LCALL StableTime          ; ADC stable time
LCALL SampleTime          ; Acquisition delay, TACQ
BSR ADCON0, GO            ; Start conversion
NOP                       ; GO/DONE ReadBack WaitTime
BTSC ADCON0, GO           ; Conversion done?
LJUMP $-1                 ; No, test again
BANKSEL ADRESH;
LDR ADRESH, W             ; Read upper 4 bits
STR RESULTHI              ; Store in SRAM space
BANKSEL ADRESL;
LDR ADRESL, W             ; Read lower 8 bits
STR RESULTLO              ; Store in SRAM space
```

10.5. ADC 相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
ANSEL0	11E	ANSEL0[7:0]								0000 0000
ANSEL1	11F	ANSEL1[7:0]								0000 0000
ANSEL2	28C	ANSEL2[7:1]							-	0000 000-
ANSEL3	28D	-	-	ANSEL3[5:0]						--00 0000
ADCMPH	10F	ADCMPH[7:0]								0000 0000
ADDLY	110	ADDLY[7:0] / LEBPRL[7:0]								0000 0000
ADRESL	111	ADC 转换结果低有效位								xxxx xxxx
ADRESH	112	ADC 转换结果高有效位								xxxx xxxx
ADCON0	113	CHS[4:0]					ADEX	GO/DONE	ADON	0000 0000
ADCON1	114	ADFM	ADCS[2:0]			-		ADPREF[1:0]		0010 --00
ADCON2	115	ADINTREF[1:0]		ETGTYP[1:0]		ADDLY8	ETGSEL[2:0]			0100 0000
ADCON3	116	ADFBEN	ADCMPP	ADCMPE	ADHSDEN	ADVREFEN	-			0000 0---
LEBCON	10E	LEBEN	-	-	-	EDGS	-	-	-	0--- 0---

表 10-3 ADC 相关用户寄存器地址和复位值

10.5.1. ANSEL0 (0x11E)

Bit	7	6	5	4	3	2	1	0
Name	ANSEL0[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ANSEL0	AN[7:0] 引脚功能： 1 = 模拟输入 0 = 数字 I/O

10.5.2. ANSEL1 (0x11F)

Bit	7	6	5	4	3	2	1	0
Name	ANSEL1[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ANSEL1	AN[15:8] 引脚功能： 1 = 模拟输入 0 = 数字 I/O

10.5.3. ANSEL2 (0x28C)

Bit	7	6	5	4	3	2	1	0
Name	ANSEL2[7:1]							–
Type	RW	RW	RW	RW	RW	RW	RW	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:1	ANSEL2	AN[23:17] 引脚功能： 1 = 模拟输入 0 = 数字 I/O
0	N/A	保留位

10.5.4. ANSEL3 (0x28D)

Bit	7	6	5	4	3	2	1	0
Name	–	–	ANSEL3[5:0]					
Type	RO	RO	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:0	ANSEL3	AN[29:24] 引脚功能： 1 = 模拟输入 0 = 数字 I/O

10.5.5. ADCMPH (0x10F)

Bit	7	6	5	4	3	2	1	0
Name	ADCMPH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ADCMPH	ADC 比较阈值 (仅高 8 位，0.4% steps)

10.5.6. ADDLY/LEBPRL (0x110)

Bit	7	6	5	4	3	2	1	0
Name	ADDLY[7:0] / LEBPRL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ADDLY / LEBPRL	ADC 延迟计数器/ LEB 计数器低 8 位 (非软件触发，ADEX = 1 有效) 延迟时间 = (ADDLY+3) x T_{AD} (如果启用 PWM 输出触发 ADC，在 PWM 运行过程中不得更改 ADDLY)

10.5.7. ADRESL (0x111)

Bit	7	6	5	4	3	2	1	0
Name	ADRESL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	x	x	x	x	x	x	x	x

Bit	Name	Function
7:0	ADRESL	ADC 转换结果低有效位 (LSB)： 当 ADFM = 0 时：ADRESL[7:4] = 低 4 位 (其余为“0”) 当 ADFM = 1 时：ADRESL[7:0] = 低 8 位

10.5.8. ADRESH (0x112)

Bit	7	6	5	4	3	2	1	0
Name	ADRESH[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	x	x	x	x	x	x	x	x

Bit	Name	Function
7:0	ADRESH	ADC 转换结果高有效位 (MSB)： 当 ADFM = 0 时：ADRESH[7:0] = 高 8 位 当 ADFM = 1 时：ADRESH[3:0] = 高 4 位 (其余为“0”)

10.5.9. ADCON0 (0x113)

Bit	7	6	5	4	3	2	1	0
Name	CHS					ADEX	GO/DONE	ADON
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:3	CHS	ADC 模拟输入通道： 00000 = AN0　　10000 = 无输入 00001 = AN1　　10001 = AN17 00010 = AN2　　10010 = AN18 00011 = AN3　　10011 = AN19 00100 = AN4　　10100 = AN20 00101 = AN5　　10101 = AN21 00110 = AN6　　10110 = AN22 00111 = AN7　　10111 = AN23 01000 = AN8　　11000 = AN24 01001 = AN9　　11001 = AN25 01010 = AN10　　11010 = AN26 01011 = AN11　　11011 = AN27 01100 = AN12　　11100 = AN28 01101 = AN13　　11101 = AN29 01110 = AN14　　11110 = (内部 $V_{ADC-REF}$) 01111 = AN15　　11111 = 无输入
2	ADEX	ADC 触发： 1 = ADC_ETR 或 PWM 置 GO/DONE (硬件触发) 0 = 由指令置 GO/DONE (软件触发) 注：如果在 MCU 处于 SLEEP 下，硬件触发 (I/O 或 PWM) 启动 ADC 转换，则需设置 ADCS = 111 (LIRC)
1	GO/DONE	ADC 转换启动和状态位： 1 = 软件, ADC_ETR 或 PWM 启动 A/D 转换 (转换完成后自动清零) 0 = 转换完成 / 未进行转换
0	ADON	ADC 模块： 1 = 使能 0 = 关闭 (无电流消耗)

10.5.10. ADCON1 (0x114)

Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCS[2:0]			-	-	ADPREF[1:0]	
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	1	0	0	1	0	0

Bit	Name	Function
7	ADFM	ADC 转换结果格式： 1 = 右对齐 0 = 左对齐
6:4	ADCS	ADC 时钟源： 2T 4T 000 = SysClk/2 SysClk/4 001 = SysClk/8 SysClk/16 010 = SysClk/32 SysClk/64 011 = SysClk SysClk/2 100 = SysClk/4 SysClk/8 101 = SysClk/16 SysClk/32 110 = SysClk/64 SysClk/128 111 = LIRC LIRC
3:2	N/A	保留位
1:0	ADPREF	$V_{ADC-REF}$ + (正参考电压)： 00 = 内部 $V_{ADC-REF}$ 01 = V_{DD} 10 = 内部 $V_{ADC-REF}$ + 外部电容 C_{EXT} 11 = 外部参考电压 (I/O)

10.5.11. ADCON2 (0x115)

Bit	7	6	5	4	3	2	1	0
Name	ADINTREF[1:0]		ETGTYP[1:0]		ADDLY8 / LEBPR8	ETGSEL[2:0]		
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	1	0	0	0	0	0	0

Bit	Name	Function
7:6	ADINTREF	内部 $V_{ADC-REF}$： 00 = 0.5 01 = 2.0 10 = 3.0 11 = (未连接)
5:4	ETGTYP	LEB 触发沿： 00 = (PWM 或 ADC_ETR) 下降沿 01 = (PWM 或 ADC_ETR) 上升沿 1x = 保留值
3	ADDLY8 / LEBPR8	ADC 延迟计数器或 LEB 计数器高 1 位 (参阅 “ADDLY”)
2:0	ETGSEL	LEB 触发源： 000 = P1A0 001 = P1A0N 010 = P1B 011 = P1C 100 = P1D 101 = ADC_ETR 11x = 无

10.5.12. ADCON3 (0x116)

Bit	7	6	5	4	3	2	1	0
Name	ADFBEN	ADCMPP	ADCMPE	ADHSDEN	ADVREFEN	–	–	–
Type	RW	RW	RW	RW	RW	RO	RO	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	ADFBEN	ADC 阈值比较结果匹配事件触发 PWM 故障刹车： 1 = 使能 0 = 关闭
6	ADCMPP	ADC 阈值比较极性： 1 = ADC 结果的高 8 位 < ADCMPH[7:0] 0 = ADC 结果的高 8 位 ≥ ADCMPH[7:0]
5	ADCMPE	ADC 阈值比较： 1 = 使能 0 = 关闭
4	ADHSDEN	ADC 高速模式： 1 = 使能 0 = 关闭
3	ADVREFEN	ADC 内部参考电压强制使能位： 1 = 使能 0 = 关闭 注： 1. 当 ADVREFEN = 1 时，ADC 内部参考电压电路将一直使能，与 ADON 值无关，因此建议在关闭 ADC (ADON = 0) 时，同时关闭此位，以节省功耗。 2. 当 ADVREFEN = 0 时，如果 ADPREF 选择内部 $V_{ADC-REF}$，则当 ADON = 1 时，内部参考电压电路将自动使能。
2:0	N/A	保留位

10.5.13. LEBCON (0x10E)

Bit	7	6	5	4	3	2	1	0
Name	LEBEN	–	–	–	EDGS	–	–	–
Type	RW	RW	RW	RO	RW	RO	RO	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	LEBEN	ADC 触发和 BKIN 的 LEB 控制： 1 = 使能 0 = 关闭 注：当 GO/DONE = 1 时进行切换将产生不可预知的结果
6:4	N/A	保留位
3	EDGS	LEB 周期结束后，触发 ADC 转换控制： 1 = 触发 0 = 不触发
2:0	N/A	保留位

11 SPI 接口

SPI 接口可通过 SPI 协议与外部设备进行通信，特性如下：

- 全双工、半双工同步传输
- 主机模式、从机模式
- 可编程主机模式通信速率
- 可编程时钟极性和相位
- 可编程数据传输格式：优先发送 LSB 或 MSB
- 主机和从机模式下均可由硬件或软件管理 NSS 引脚：主/从模式的动态切换
- 支持 SPI 接口 MOSI / MISO 开漏输出
- 发送 BUF 为空中断、接收 BUF 为非空中断
- 工作模式错误中断、接收溢出中断
- 从机模式唤醒中断

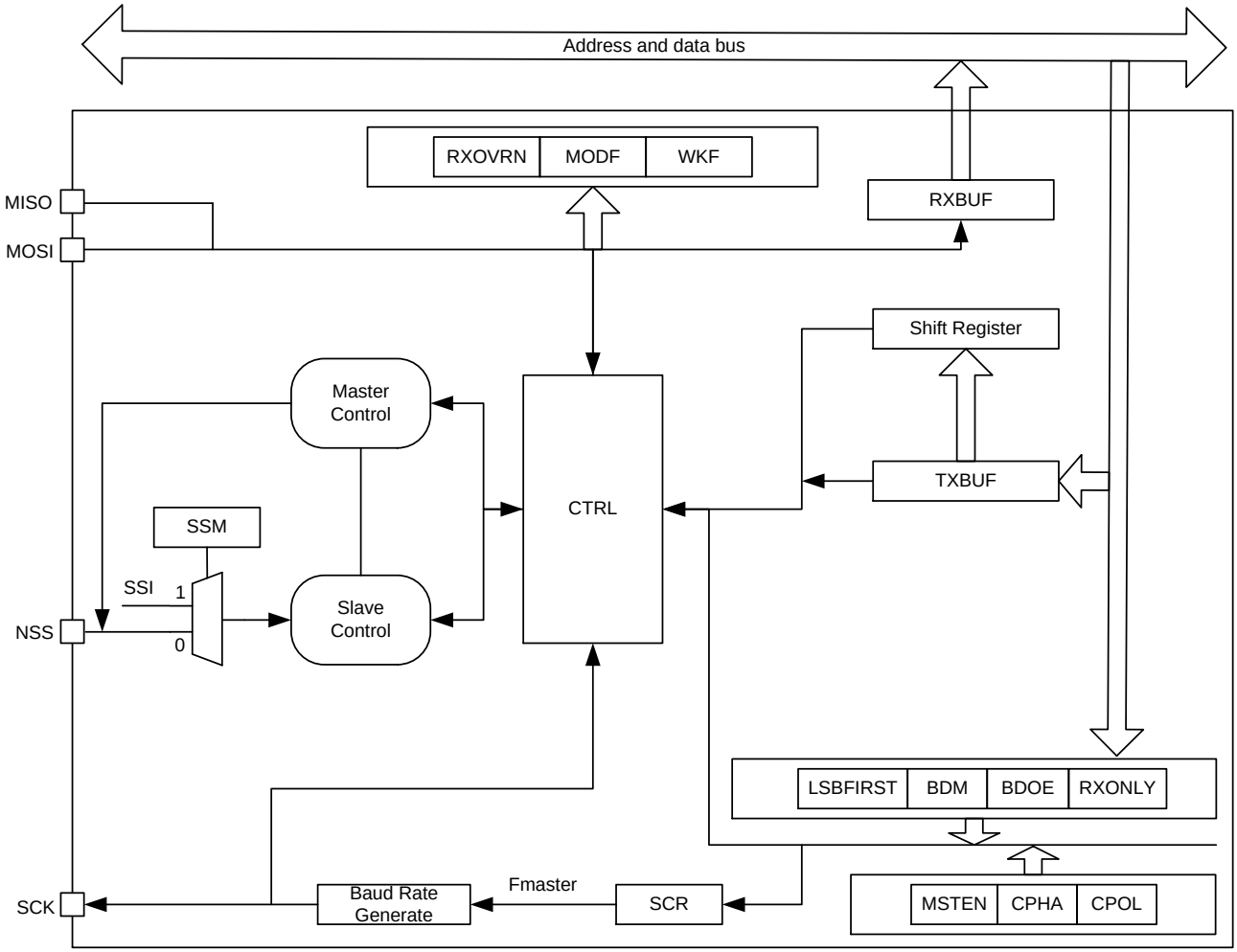


图 11-1 SPI 结构框图

SPI 接口有 4 个引脚：

名称	功能	主机模式	从机模式
MOSI	主机输出 / 从机输入	数据发送	数据接收
MISO	主机输入 / 从机输出	数据接收	数据发送
SCK	串行时钟	时钟输出	时钟输入
NSS	从机片选脚	–	输入，低电平有效

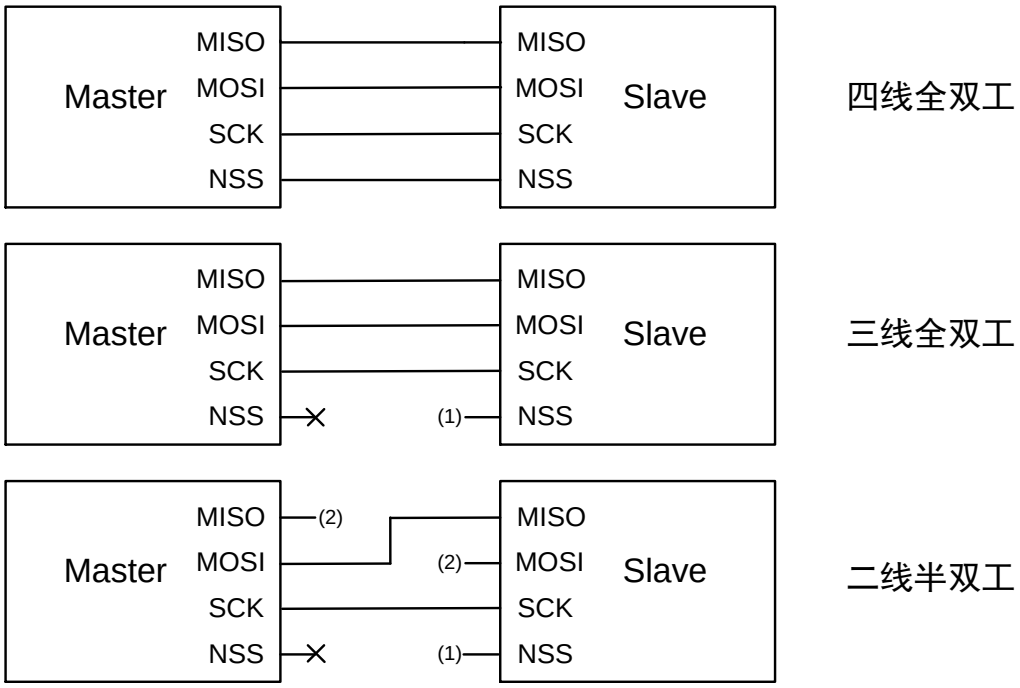
表 11-1 SPI 接口引脚说明

注:

1. 本章节中的 MOSI / MISO / SCK / NSS 分别对应引脚图中的 SPI_MOSI / SPI_MISO / SPI_SCK / SPI_NSS。
2. 从机片选 NSS 引脚配置：
   - NSS 引脚可配置成输入、输出或禁用三种状态 (参阅 ”NSSM”)；
   - NSS 用作输入时，其输入值 NSSVAL 为端口电平值(硬件) 或 SSI 值(软件，参阅 ”SSM”)；
   - 从机模式下，当 NSS 配置成输入且为低电平时，表示该从机被选中，可以开始接收或发送数据；
   - 主机模式下，当 NSS 配置成输入且为低电平时，将导致工作模式错误(置位 MODF)，此时 SPI 模块自动切换成从机模式，此特性可用于兼容多主机通信；

SPI 接口支持全双工(四线/三线)和半双工(二线)同步数据传输。SPI 通信总是由主机发起。

全双工模式，在同一时钟信号 (主机输出的串行时钟) 下，数据输出和数据输入同步进行。半双工模式，主机模式的数据脚为 MOSI，从机模式的数据脚为 MISO。



注：
(1) 硬件或软件管理；
(2) GPIO；

图 11-2 SPI 接口引脚连接示意图

11.1. SPI 配置

主机和从机的 SPI 配置流程基本相同：

1. 选择主机或从机模式（参阅 ”MSTEN”）；
2. 配置 NSS 引脚（参阅 ”NSSM”, ”SSM”, ”SSI” 和 ”NSSVAL”）；
3. 配置主机模式的 SCK 通信速率 = Fmaster/(2*(SPISCR+1))，从机模式的速率高达 Fmaster/4；
4. 设置 SCK 的相位和极性（参阅 ”CPOL” 和 ”CPHA”）；
5. 选择数据传输格式（参阅 ”LSBFIRST”）；
6. 设置全双工（参阅 ”RXONLY”）或半双工工作模式（参阅 ”BDM” 和 ”BDOE”）；
7. 设置 SPIEN = 1，使能 SPI 模块；
8. 如需要，可使能相应的中断（参阅 ”GIE”, ”PEIE”, ”RXERR” , ”RXNE” , ”TXE” 和 ”WAKUP”）；

注：

- SPI 外设时钟 Fmaster = SysClk；
- SPI 模块使能时，引脚 MOSI / MISO / SCK / NSS 接口功能自动使能；
- 主机发送 SCK 时钟之前，需要先使能 SPI 从机；
- 当主机作为发送端，SPI 使能且 TXBUF 为非空时，主机自动发起传输；
- 当主机作为只接收模式（RXONLY=1 或 BDM=1& BDOE=0）时，SPI 使能后，主机自动发起传输并一直发送 SCK；
- 主机发起传输之前，从机的数据寄存器中需提前写入将要发送的数据（连续通信时，在正在进行的传输结束之前，需继续向从机的数据寄存器中写入数据）；
- 当 SPIEN 由 0 变 1 时，SPIF / MODF / RXOVRN / WKF 自动清零，TXBMT / RXBMT 自动置位；

11.1.1. 通信时钟 SCK

时钟 SCK 的极性和相位可配置为**图 11-3**、**图 11-4** 所示的 4 种情况（参阅” CPOL”, ” CPHA”）。

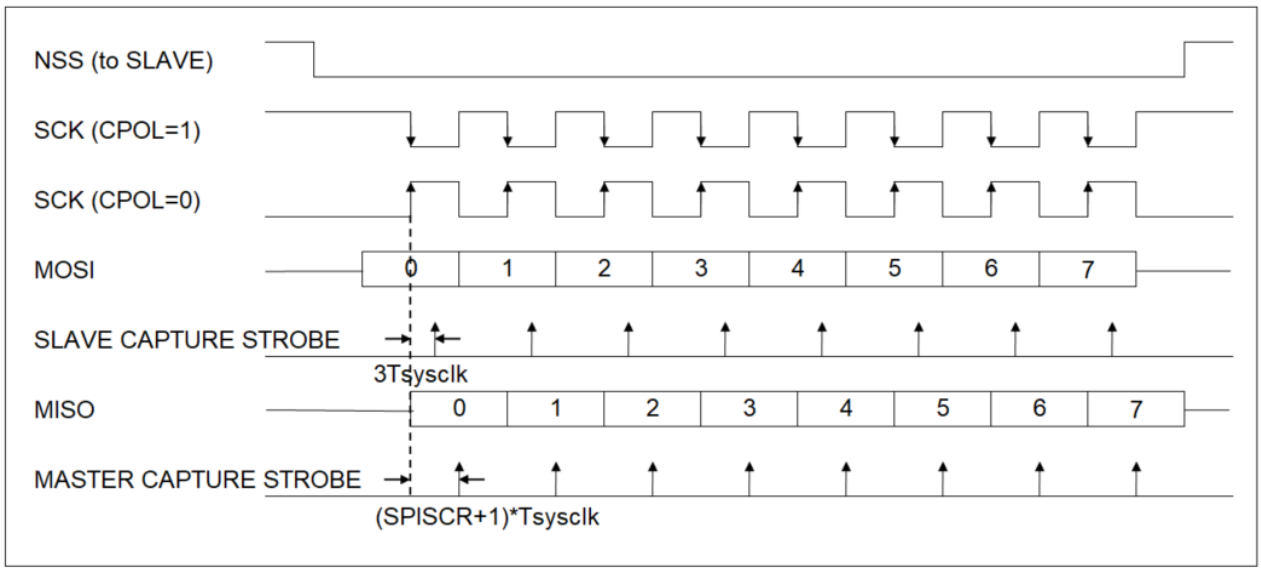


图 11-3 时钟极性 CPHA=0 时序图（以 LSBFIRST = 1 为例）

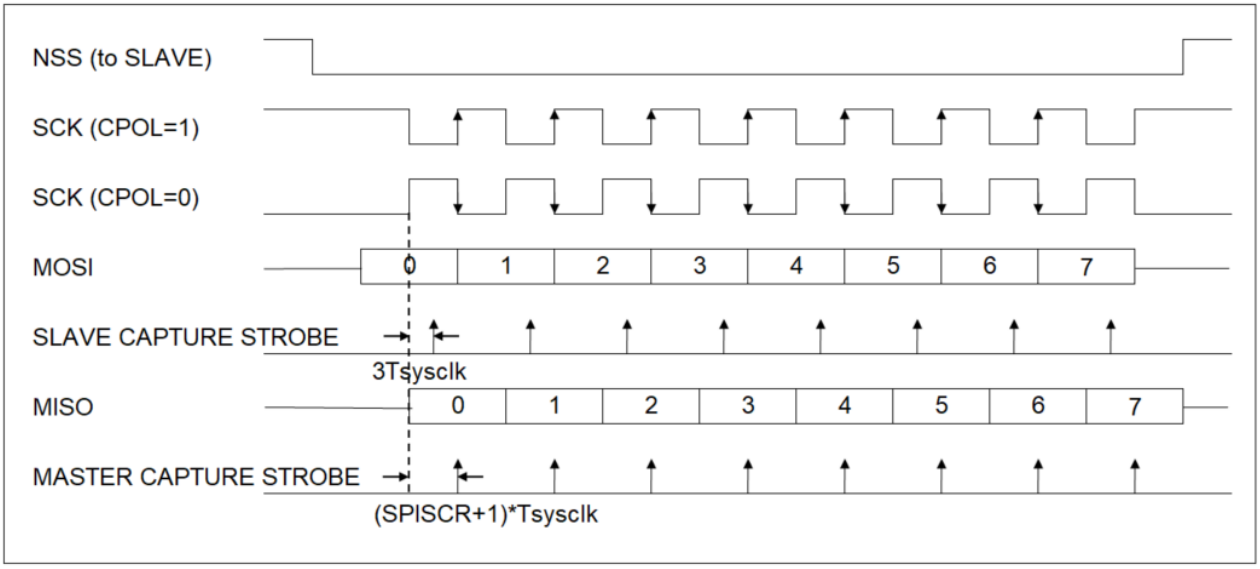


图 11-4 时钟极性 CPHA=1 时序图 (以 LSBFIRST = 1 为例)

11.1.2. 数据处理流程

数据通信流程分为阻塞模式和非阻塞模式。

	阻塞模式	非阻塞模式
发送数据	向 SPIDAT (TXBUF) 写入数据后，查询 TXBMT，当其置 1 时，写入下一个数据	当 TXE = 1 时，向 SPIDAT (TXBUF) 写入数据后，TXBMT 置 1 则进入中断
接收数据	查询 RXBMT，当其为 0 时，则可读取 DATA(RXBUF)的值	当 RXNE = 1 时，RXBMT 复位为 0 后则进入中断
	查询 RXOVRN，当 RXOVRN 置 1 时，需软件清零相应的错误标志位	当 RXERR = 1 时，RXOVRN 置 1 后进入中断 (需软件清零相应的错误标志位)
备注	-	进入中断后，查询相应的状态标志位并处理发送接收流程，处理完成后退出中断

表 11-2 SPI 数据处理流程

以全双工通信流程为例，无论阻塞模式还是非阻塞模式，通信过程中的相关标志位变化如**图 11-5** 所示：

1. 向 SPIDAT (TXBUF) 寄存器写入数据后，TXBMT 由 1 变为 0；
2. TXBUF 中的数据传送到内部移位寄存器，SRMT 由 1 变为 0，SPIBUSY 置 1；
3. 移位寄存器中的数据完全移出后，SRMT 由 0 变为 1，SPIBUSY 清零；
4. 当前字节数据传输完成后，SPIF 由 0 变为 1，同时 RXBMT 由 1 变为 0，此时可读取 SPIDAT (RXBUF) 寄存器中的值；

注： 全双工或半双工模式下，需在完成发送/接收全部数据 (TXBMT=1 / RXBMT=0) 后，且 SPI 处于空闲状态 (SPIBUSY=0) 时，才能关闭 SPI 模块；

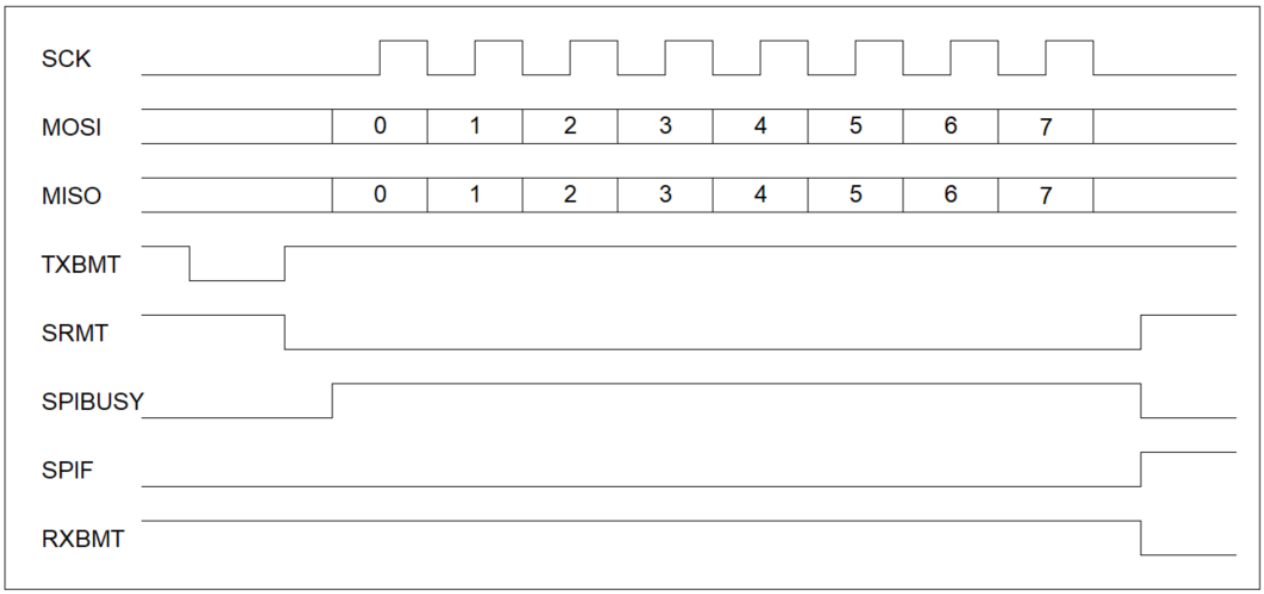


图 11-5 数据处理时序图 (以单字节数据传输为例)

11.1.3. 从机模式的睡眠唤醒

睡眠模式下，如果 SYSON、WAKEUP、PEIE 同时使能，从机在接收到数据的第 1 个 bit 时，即可唤醒 MCU。

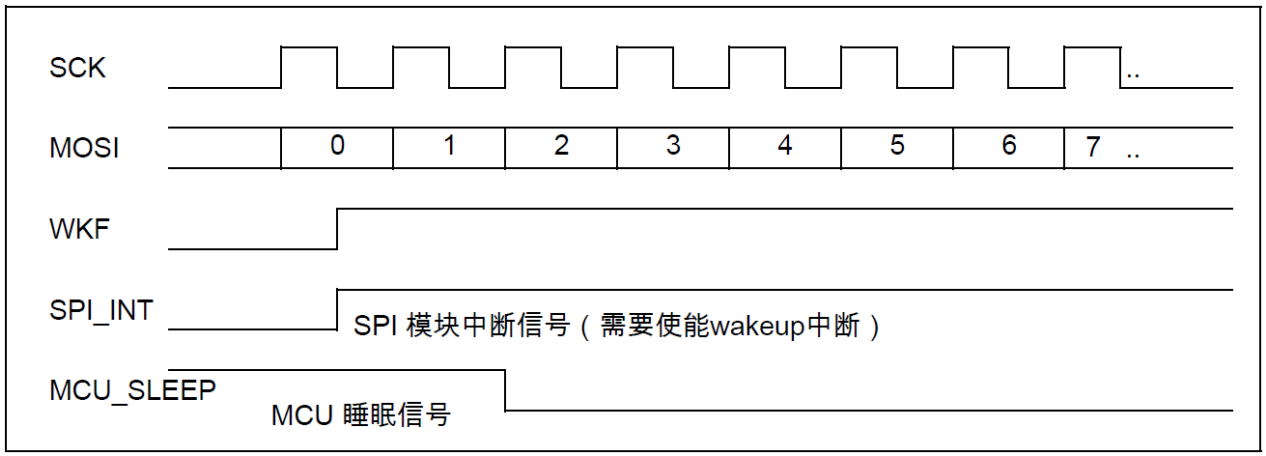


图 11-6 睡眠唤醒时序图

11.2. SPI 相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
SPICR0	18D	-	-	-	-	NSSM[1:0]		TXBMT	SPIEN	---- 0110
SPICR1	194	BDM	BDOE	RXONLY	SSI	SSM	-	-	LSBFIRST	0000 0--0
SPIDAT	18C	SPIDAT[7:0]								0000 0000
SPICFG	18E	SPIBUSY	MSTEN	CPHA	CPOL	SLAS	NSSVAL	SRMT	RXBMT	0000 xx11
SPISCR	18F	SPISCR[7:0]								0000 0000
SPIIER	193	-	-	-	-	WAKUP	RXERR	RXNE	TXE	---- 0000
SPISTAT	195	SPIF	WCOL	MODF	RXOVRN	-	-	WKF	-	0000 --0-
COMAF0	285	SCKPO	NSSPO	MOSIPO	MISOPO	SDAPO[1:0]		SCLPO[1:0]		0000 0000
ODCONA	205	PORTA 开漏								0000 0000
ODCONB	206	PORTB 开漏								0000 0000
ODCONC	207	PORTC 开漏								0000 0000
ODCOND	208	-	-	PORTD[5:3]开漏			-	PORTD[1:0]开漏		--00 0-00

表 11-3 SPI 相关寄存器地址和复位值

11.2.1. SPICR0 (0x18D)

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	NSSM[1:0]		TXBMT	SPIEN
Type	RO	RO	RO	RO	RW	RW	RO	RW
Reset	0	0	0	0	0	1	1	0

Bit	Name	Function
7:4	N/A	保留位
3:2	NSSM	NSS 引脚模式选择： 00 = 禁用 01 = 输入 (输入值 NSSVAL 与 SSM，端口电平及 SSI 有关) 1x = 输出 (输出值 = NSSM[0])
1	TXBMT	发送 BUF 状态位： 1 = 空 0 = 非空
0	SPIEN	SPI 接口模块： 1 = 使能 0 = 关闭

11.2.2. SPICR1 (0x194)

Bit	7	6	5	4	3	2	1	0
Name	BDM	BDOE	RXONLY	SSI	SSM	–	–	LSBFIRST
Type	RW	RW	RW	RW	RW	RO	RO	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	BDM	半双工： 1 = 使能 0 = 关闭
6	BDOE	半双工工作模式： 1 = 发送 0 = 接收
5	RXONLY	全双工工作模式： 1 = 只允许接收 0 = 允许发送和接收
4	SSI	NSS 引脚软件输入值(仅当 SSM = 1 时有效)： 1 = 输入值为 1 0 = 输入值为 0
3	SSM	从机模式下，NSS 引脚输入值管理： 1 = 软件 0 = 硬件
2:1	N/A	保留位
0	LSBFIRST	数据传输格式： 1 = 优先发送低比特位 (LSB) 0 = 优先发送高比特位 (MSB)

11.2.3. SPIDAT (0x18C)

Bit	7	6	5	4	3	2	1	0
Name	SPIDAT[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	SPIDAT	数据发送/接收 BUF (TXBUF/RXBUF)： 写时：将新数据写入到 TXBUF 中 读时：返回 RXBUF 中未读的数据

11.2.4. SPICFG (0x18E)

Bit	7	6	5	4	3	2	1	0
Name	SPIBUSY	MSTEN	CPHA	CPOL	SLAS	NSSVAL	SRMT	RXBMT
Type	RO	RW	RW	RW	RO	RO	RO	RO
Reset	0	0	0	0	x	x	1	1

Bit	Name	Function
7	SPIBUSY	SPI 状态： 1 = 忙碌中 0 = 空闲
6	MSTEN	工作模式： 1 = 主机模式 (MASTER) 0 = 从机模式 (SLAVE)
5	CPHA	SCK 相位选择(数据采样点)： 1 = 第 2 个时钟转换沿 0 = 第 1 个时钟转换沿 注：在从机发送模式下，不管 CPHA 为何值，数据都是在第一个沿开始变化，见**图 11-3**、**图 11-4**。
4	CPOL	SCK 极性选择(SPI 空闲时，SCK 时钟状态)： 1 = 高电平 0 = 低电平
3	SLAS	从机(SLAVE)选中标志位： 1 = 被选中 0 = 未被选中
2	NSSVAL	NSS 引脚输入值： 当 SSM=0 时，NSSVAL= NSS 引脚端口电平值 当 SSM=1 时，NSSVAL= SSI
1	SRMT	内部串行移位寄存器状态： 1 = 空 0 = 非空
0	RXBMT	接收 BUF 状态位： 1 = 空 0 = 非空

11.2.5. SPISCR (0x18F)

Bit	7	6	5	4	3	2	1	0
Name	SPISCR[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	SPISCR	SCK 速率设置(仅主机模式有效)： 速率 = Fmaster/(2*(SPISCR+1)) 注：SPI 外设时钟 Fmaster = SysClk

11.2.6. SPIIER (0x193)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	WAKUP	RXERR	RXNE	TXE
Type	RO	RO	RO	RO	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:4	N/A	保留位
3	WAKUP	从机唤醒中断： 1 = 使能 0 = 关闭 (无唤醒)
2	RXERR	接收错误中断(工作模式错误，接收溢出)： 1 = 使能 0 = 关闭 (无唤醒)
1	RXNE	接收 BUF 为非空中断： 1 = 使能 0 = 关闭 (无唤醒)
0	TXE	发送 BUF 为空中断： 1 = 使能 0 = 关闭 (无唤醒)

11.2.7. SPISTAT (0x195)

Bit	7	6	5	4	3	2	1	0
Name	SPIF	WCOL	MODF	RXOVRN	–	–	WKF	–
Type	RW0	RW0	RW0	RW0	RO	RO	RW0	RO
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	SPIF	数据传输完成标志： 1 = 完成 (锁存) 0 = 未完成，或已被清零
6	WCOL	BUF 写入失败(非空时写入)标志： 1 = 失败 (锁存) 0 = 正常
5	MODF	工作模式错误标志位： 1 = 错误 (锁存) (主机模式下，NSS 脚使能输入且为低电平，导致模式错误) 0 = 正常
4	RXOVRN	接收溢出标志位： 1 = 溢出 (锁存) 0 = 正常
3:2	N/A	保留位
1	WKF	从机唤醒(接收到数据)标志位： 1 = 已唤醒 (锁存) 0 = 未唤醒，或已被清零
0	N/A	保留位

11.2.8. COMAF0 (0x285)

Bit	7	6	5	4	3	2	1	0
Name	SCKPO	NSSPO	MOSIPO	MISOPO	SDAPO[1:0]		SCLPO[1:0]	
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	SCKPO	SPI_SCK 管脚映射： 1 = PD4 0 = PC6
6	NSSPO	SPI_NSS 管脚映射： 1 = PC6 0 = PC5
5	MOSIPO	SPI_MOSI 管脚映射： 1 = PC0 0 = PD5
4	MISOPO	SPI_MISO 管脚映射： 1 = PB4 0 = PC7
3:2	SDAPO	I2C_SDA 管脚映射： 00 = PC0 01 = PB3 10 = PC2 11 = PB4
1:0	SCLPO	I2C_SCL 管脚映射： 00 = PB7 01 = PB2 10 = PC1 11 = PD4

11.2.9. ODCONA (0x205)

Bit	7	6	5	4	3	2	1	0
Name	ODCONA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONA	PORTA[7:0] 开漏输出： 1 = 使能 0 = 关闭

11.2.10. ODCONB (0x206)

Bit	7	6	5	4	3	2	1	0
Name	ODCONB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONB	PORTB[7:0] 开漏输出： 1 = 使能 0 = 关闭

11.2.11. ODCONC (0x207)

Bit	7	6	5	4	3	2	1	0
Name	ODCONC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONC	PORTC[7:0] 开漏输出： 1 = 使能 0 = 关闭

11.2.12. ODCOND (0x208)

Bit	7	6	5	4	3	2	1	0
Name	-	-	ODCOND[5:3]			-	ODCOND[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:3	ODCOND[5:3]	PORTD[5:3] 开漏输出： 1 = 使能 0 = 关闭
2	N/A	保留位
1:0	ODCOND[1:0]	PORTD[1:0] 开漏输出： 1 = 使能 0 = 关闭

12 I2C 接口

I2C 为双线接口 (数据线 SDA 和串行时钟线 SCL)，可通过 I2C 协议与外部设备进行通信，特性如下：

- 主机模式、从机模式
- 多主机兼容
- 标准模式(100 kHz)、快速模式(400 kHz)、快速+模式(1 MHz)
- 7 位或 10 位地址格式
- 数据从高位开始发送/接收
- 可选时钟拉低扩展 (Clock stretching)
- 支持 I2C 接口 SCL / SDA 开漏输出
- 事件中断：
  - ✓ TX-FIFO 状态为空中断、RX-FIFO 状态为非空中断
  - ✓ 主机模式下：SCL 拉伸中断、发送 Stop 中断、目标从机地址匹配中断
  - ✓ 从机模式下：SCL 拉伸中断、检测到 Stop 中断、本机地址匹配中断
- 错误中断：
  - ✓ 主机仲裁失败中断

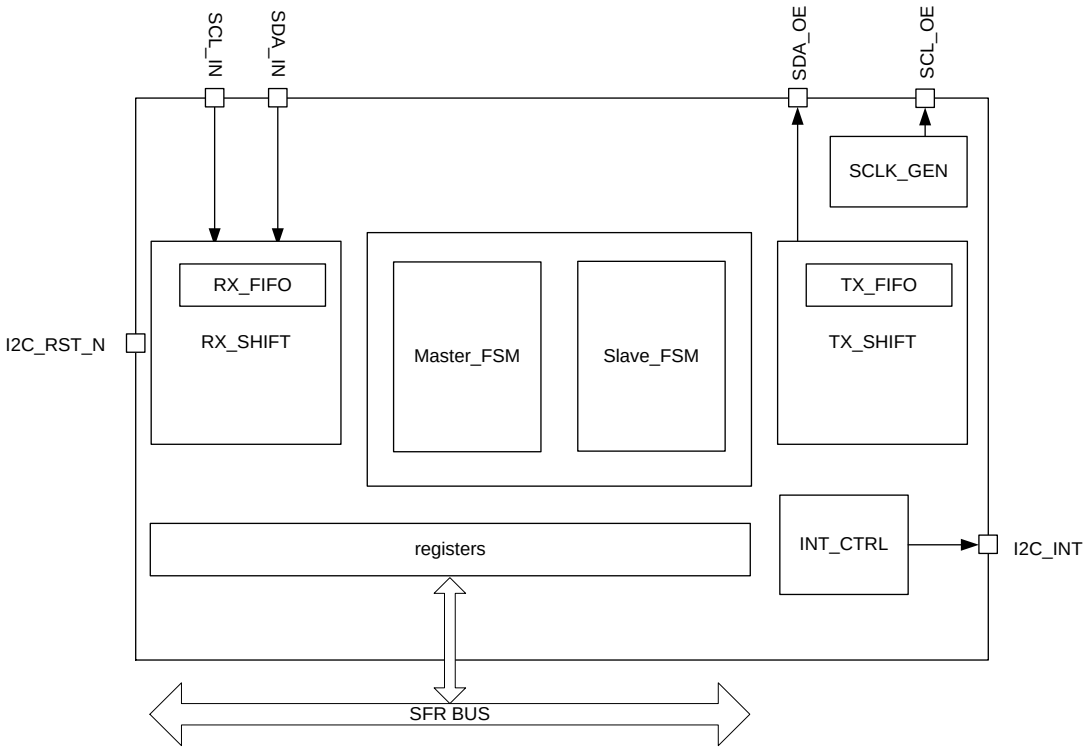


图 12-1 I2C 结构框图

12.1. I2C 配置

主机和从机的 I2C 配置流程基本相同：

1. 选择主机或从机模式 (参阅 ”MASTER”)。
2. 主机配置 SCL 占空比及通信速率 (参阅 ”DUTY”, “I2CCCR[7:0]”)。
3. 主从机选择 7 位或 10 位地址格式 (参阅 ”ADDRM”)，并根据地址格式配置主从机地址 (参阅 ”I2CADDRH/L”)。
4. 设置主机的数据传输方向为发送或接收 (参阅 ”WRN”)，从机则由接收地址字节的读写位控制。
5. 设置 I2CEN = 1，使能 I2C 模块。
6. 如需要，可使能相应的中断 (参阅 ”GIE”, ”PEIE” 和 ”I2CIE”)。

注：

- 当 I2CEN =1 时，引脚 SCL / SDA 接口功能自动使能，SCL / SDA 分别对应引脚图中的 I2C_SCL / I2C_SDA。

I2C 通信由主机产生时钟信号并发起数据传输，且由主机控制 Start 和 Stop 信号。串行数据传输以 Start 条件开始并以 Stop 条件结束。在一个字节 (8bit) 传输后的第 9 个时钟期间，接收端需回送一个应答位 (ACK) 给发送端。

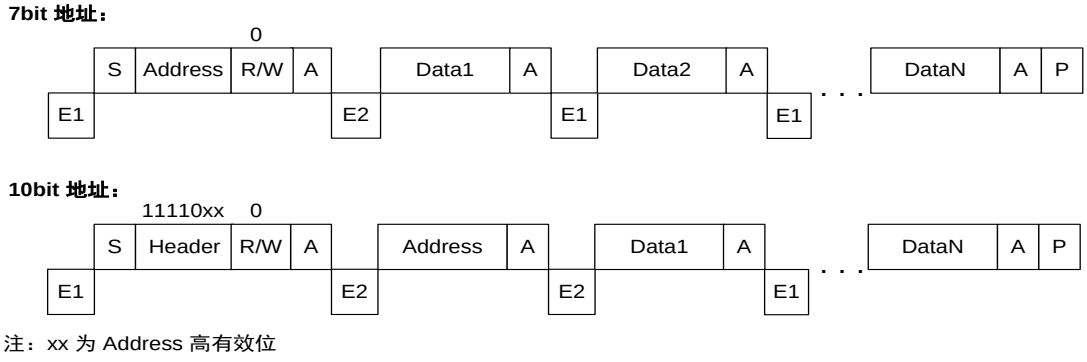
从机检测到 Start 条件后，能识别自己的地址 (可编程，7 位或 10 位)，且具有 Stop 检测功能。

I2C 模块的四种工作模式为：主机发送、主机接收、从机发送、从机接收。

12.1.1. 主机发送模式

当 ADDRM = 0 (7 位地址格式)：主机发送的第 1 个 byte 包括 7 位地址和读写位(0)，然后开始发送 8 位串行数据。

当 ADDRM = 1 (10 位地址格式)：主机发送的第 1 个 byte 包括地址头段序列 (11110+高 2 位地址) 和读写位(0)，第 2 个 byte 为低 8 位地址，然后开始发送 8 位串行数据。



注：xx 为 Address 高有效位

图 12-2 主机发送流程

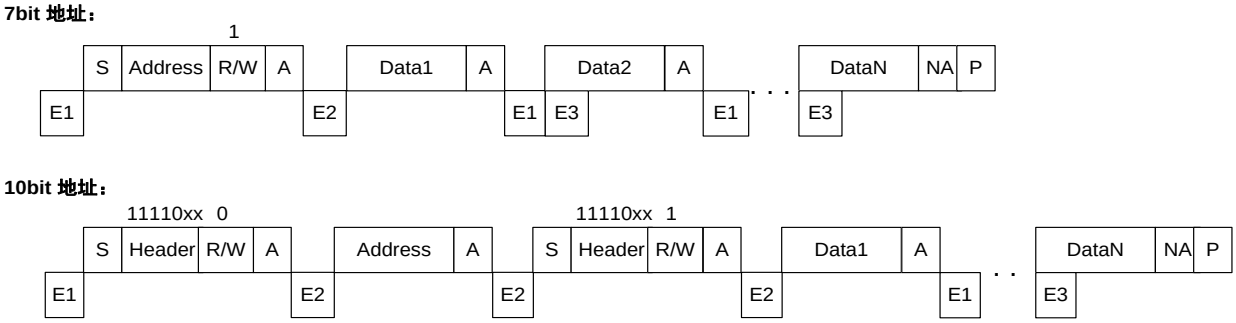
注：

- S = Start 信号，A = ACK 信号，P = Stop 信号。
- E1：IICTXEF = 1，TX-FIFO 为空 (写 1 或写 I2CDAT 将清零该标志)。
- E2：ADDRF=1 (写 0 清零)。

12.1.2. 主机接收模式

ADDRM = 0 (7 位地址格式)：主机发送的第 1 个 byte 包括 7 位地址和读写位(1)，然后开始接收 8 位串行数据。

ADDRM = 1 (10 位地址格式)：主机发送的第 1 个 byte 包括地址头段序列 (11110+高 2 位地址) 和读写位(0)，第 2 个 byte 为低 8 位地址，然后重新发送 Start 信号以及地址头段序列和读写位(1)，开始接收 8 位串行数据。



注：xx 为 Address 高有效位

图 12-3 主机接收流程

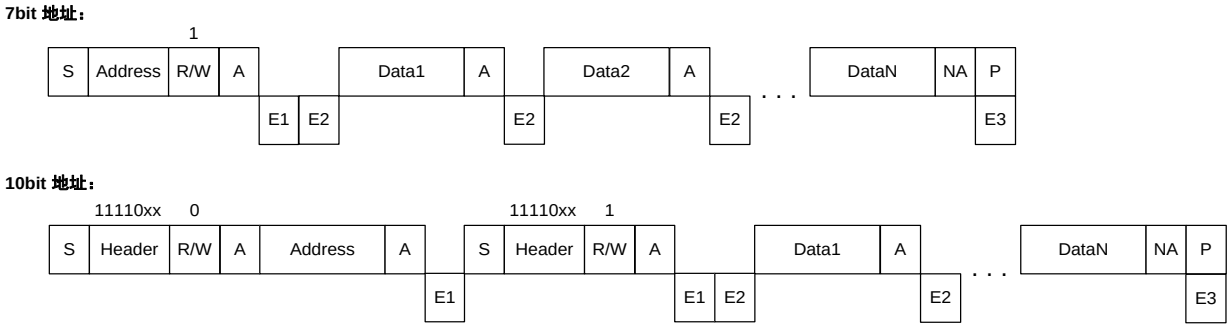
注：

- S = Start 信号，A = ACK 信号，P = Stop 信号。
- E1：IICTXEF=1，TX-FIFO 为空 (写 1 或写 I2CDAT 将清零该标志)。
- E2：ADDRF=1 (写 0 清零)。
- E3：IICRXNEF=1，RX-FIFO 非空 (写 0 或读 I2CDAT 将清零该标志)。

12.1.3. 从机发送模式

ADDRM = 0 (7 位地址格式)：从机接收的第 1 个 byte 包括 7 位地址和读写位(1)，然后开始发送 8 位串行数据。

ADDRM = 1 (10 位地址格式)：从机接收的第 1 个 byte 包括地址头段序列 (11110+高 2 位地址) 和读写位(0)，第 2 个 byte 为低 8 位地址，然后重新检测 Start 信号并接收地址头段序列和读写位(1)，开始发送 8 位串行数据。



注：xx 为 Address 高有效位

图 12-4 从机发送流程

注：

- S = Start 信号，A = ACK 信号，P = Stop 信号。

- E1：ADDRF=1，拉低 SCL 线 (写 0 清零)。
- E2：IICTXEF=1，TX-FIFO 为空 (写 1 或写 I2CDAT 将清零该标志)。
- E3：NACKF=1 (写 0 清零)。

12.1.4. 从机接收模式

ADDRM = 0 (7 位地址格式)：从机接收的第 1 个 byte 包括地址和读写位(0)，然后开始接收 8 位串行数据。

ADDRM = 1 (10 位地址格式)：从机接收的第 1 个 byte 包括地址头段序列 (11110+高 2 位地址) 和读写位(0)，第 2 个 byte 为低 8 位地址，然后开始接收 8 位串行数据。

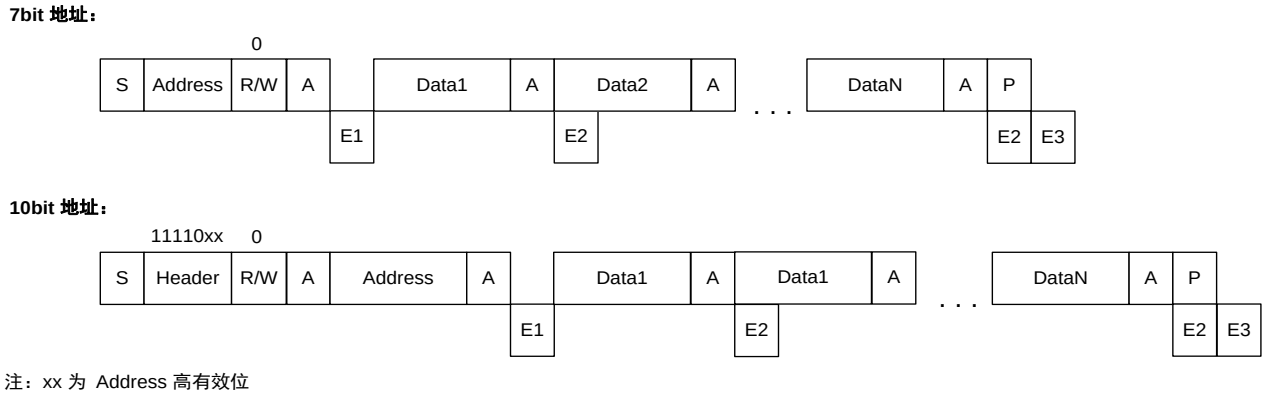


图 12-5 从机接收流程

注：

- S = Start 信号，A = ACK 信号，P = Stop 信号。
- E1：ADDRF=1 (写 0 清零)。
- E2：IICRXNEF=1，RX-FIFO 非空 (写 0 或读 I2CDAT 将清零该标志)。
- E3：STOPF =1 (写 0 清零)。

12.2. I2C 接口相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
I2CCR1	196	STRET	-	ADDRM	STOP	WRN	START	MASTER	I2CEN	1-00 0000
I2CCR2	197	I2CADDRH[1:0]		NACK	DUTY	-	-	-	I2CIE	0000 ---0
I2CADDR	198	I2CADDRL[7:0]								0000 0000
I2CCCR	199	I2CCCR[7:0]								1111 1111
I2CDAT	19A	I2CDAT[7:0]								0000 0000
I2CISR	19E	HOLDF	STOPF	ADDRF	NACKF	I2CBUSY	DIRF/BUSERR	IICRXNEF	IICTXEF	0000 0001
COMAF0	285	SCKPO	NSSPO	MOSIPO	MISOPO	SDAPO[1:0]		SCLPO[1:0]		0000 0000
ODCONA	205	PORTA 开漏								0000 0000
ODCONB	206	PORTB 开漏								0000 0000
ODCONC	207	PORTC 开漏								0000 0000
ODCOND	208	-	-	PORTD[5:3]开漏			-	PORTD[1:0]开漏		--00 0-00

表 12-1 I2C 相关寄存器地址和复位值

12.2.1. I2CCR1 (0x196)

Bit	7	6	5	4	3	2	1	0
Name	STRET	–	ADDRM	STOP	WRN	START	MASTER	I2CEN
Type	RW	RO	RW	RW	RW	RW	RW	RW
Reset	1	0	0	0	0	0	0	0

Bit	Name	Function
7	STRET	拉伸 SCL(当 TX-FIFO 为空 / RX-FIFO 非空 / 地址匹配时)： 1 = 使能 0 = 关闭 注:如果主/从机关闭拉伸且为发送模式,当发送缓存 TX-FIFO 为空时,则重复发送最后一次写入到 I2CDAT 的数据
6	N/A	保留位
5	ADDRM [1]	地址格式： 1 = 10 位 0 = 7 位
4	STOP	字节传输后，发送 Stop： 1 = 发送 (发送成功后自动清零) 0 = 不发送
3	WRN	主机模式，数据传输方向 (读写位 R/W)： 1 = 读取 0 = 发送
2	START	发送 Start，或字节传输后发送 Restart： 1 = 发送 (发送成功后自动清零) 0 = 不发送
1	MASTER [1]	工作模式： 1 = 主机模式 0 = 从机模式
0	I2CEN	I2C 接口模块： 1 = 使能 0 = 关闭

[1] 当 I2CEN = 0 时可写

12.2.2. I2CCR2 (0x197)

Bit	7	6	5	4	3	2	1	0
Name	I2CADDRH[1:0]		NACK	DUTY	–	–	–	I2CIE
Type	RW	RW	RW	RW	RO	RO	RO	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	I2CADDRH	从机地址高有效位 (MSB)： 7 位地址：ADD[9:8]忽略； 10 位地址：ADD[9:8] = 高 2 位； 注：主机模式下为目标从机地址，从机模式下为本机地址；
5	NACK	接收应答： 1 = 发送 NACK 0 = 发送 ACK (地址匹配或接收到数据)
4	DUTY	SCL 占空比： 1 = (SCLL / SCLH = 2 / 1) 0 = (SCLL / SCLH = 1 / 1)
3:1	N/A	保留位
0	I2CIE	I2C 接口中断： 1 = 使能 0 = 关闭 注：I2C 接口中断产生的条件 HOLDF /STOPF /ADDRF /BUSERR /IICRXNEF = 1

12.2.3. I2CADDR (0x198)

Bit	7	6	5	4	3	2	1	0
Name	I2CADDRL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	I2CADDRL	从机地址低有效位 (LSB)： 7 位地址：ADD[6:0]有效，ADD[7]忽略； 10 位地址：ADD[7:0] = 低 8 位； 注：主机模式下为目标从机地址，从机模式下为本机地址

12.2.4. I2CCCR (0x199)

Bit	7	6	5	4	3	2	1	0
Name	I2CCCR[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	1	1	1	1	1	1	1	1

Bit	Name	Function
7:0	I2CCCR	I2C 通信速率： 通信速率 = SysClk / (2x (I2CCCR + 3)) 注：I2CCCR 最小值为 1

12.2.5. I2CDAT (0x19A)

Bit	7	6	5	4	3	2	1	0
Name	I2CDAT[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	I2CDAT	I2C 数据寄存器： 写时：将新数据写入到 TX-FIFO 中 读时：返回 RX-FIFO 中未读的数据 注：TX-FIFO 和 RX-FIFO 的深度均为 1

12.2.6. I2CISR (0x19E)

Bit	7	6	5	4	3	2	1	0
Name	HOLDF	STOPF	ADDRF	NACKF	I2CBUSY	BUSERR / DIRF	IICRXNEF	IICTXEF
Type	RO/RW0	RW0	RW0	RW0	RO	RO/RW0	RW0	RW1
Reset	0	0	0	0	0	0	0	1

Bit	Name	Function
7	HOLDF	主机模式，SCL 拉伸状态： (该位只读) 1 = SCL 正被主机拉伸 0 = SCL 未被主机拉伸 从机模式，SCL 拉伸状态： (该位写 0 清零，写 1 无效) 1 = SCL 正被从机拉伸 0 = SCL 未被从机拉伸，或已被清零
6	STOPF	主/从机模式，Stop 标志： 1 = 检测到 (ACK 后置位) 0 = 未检测到
5	ADDRF [2]	主机发送地址标志： 1 = 完成 (ACK 后置位) 0 = 未发送或不匹配 从机接收地址标志： 1 = 匹配 0 = 不匹配 注：NACK 后不会置位 ADDRF
4	NACKF	应答 ACK 状态： 1 = NACK 0 = ACK
3	I2CBUSY	主/从机状态： 1 = Busy (繁忙) 0 = IDLE (空闲) 注：从机模式，地址匹配成功后置位，接收到 Start / Restart / Stop 后清零
2	BUSERR / DIRF	主机模式，总线仲裁失败(BUSERR)标志 (该位只读)： 1 = 产生仲裁失败 0 = 未产生仲裁失败 从机模式，数据传输方向(DIRF)标志 (该位写 0 清零，写 1 无效)： 1 = 发送 (从机接收地址字节的读写位为 1 时置位) 0 = 接收
1	IICRXNEF	RX-FIFO 状态： 1 = 非空 (读 I2CDAT 或写 0 清零) 0 = 空
0	IICTXEF	TX-FIFO 状态： 1 = 空 (写 I2CDAT 或写 1 清零) 0 = 非空

[2] 10 位地址格式，低 8 位地址和高 2 位地址匹配时均会置位

12.2.7. COMAF0 (0x285)

Bit	7	6	5	4	3	2	1	0
Name	SCKPO	NSSPO	MOSIPO	MISOPO	SDAPO[1:0]		SCLPO[1:0]	
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	SCKPO	SPI_SCK 管脚映射： 1 = PD4 0 = PC6
6	NSSPO	SPI_NSS 管脚映射： 1 = PC6 0 = PC5
5	MOSIPO	SPI_MOSI 管脚映射： 1 = PC0 0 = PD5
4	MISOPO	SPI_MISO 管脚映射： 1 = PB4 0 = PC7
3:2	SDAPO	I2C_SDA 管脚映射： 00 = PC0 01 = PB3 10 = PC2 11 = PB4
1:0	SCLPO	I2C_SCL 管脚映射： 00 = PB7 01 = PB2 10 = PC1 11 = PD4

12.2.8. ODCONA (0x205)

Bit	7	6	5	4	3	2	1	0
Name	ODCONA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONA	PORTA[7:0] 开漏输出： 1 = 使能 0 = 关闭

12.2.9. ODCONB (0x206)

Bit	7	6	5	4	3	2	1	0
Name	ODCONB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONB	PORTB[7:0] 开漏输出： 1 = 使能 0 = 关闭

12.2.10. ODCONC (0x207)

Bit	7	6	5	4	3	2	1	0
Name	ODCONC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONC	PORTC[7:0] 开漏输出： 1 = 使能 0 = 关闭

12.2.11. ODCOND (0x208)

Bit	7	6	5	4	3	2	1	0
Name	-	-	ODCOND[5:3]			-	ODCOND[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:3	ODCOND[5:3]	PORTD[5:3] 开漏输出： 1 = 使能 0 = 关闭
2	N/A	保留位
1:0	ODCOND[1:0]	PORTD[1:0] 开漏输出： 1 = 使能 0 = 关闭

13 UARTx 接口

通用异步收发器 UARTx (x = 0, 1)可与使用工业标准 NRZ 串行数据格式的外设进行通信。特性如下：

- 全双工、单线半双工异步模式
- 数据传输长度：8 或 9 位
- 奇偶校验位
- 停止位：1 或 2 位
- 16 位可编程波特率发生器，高达 1Mbit/s
- 数据从低位开始发送/接收
- 发送器和接收器可单独使能
- 支持 UART 接口 TX 开漏输出
- 发送 FIFO 为空中断、接收 FIFO 为非空中断
- 接收状态中断：帧错误、奇偶校验错误或接收溢出

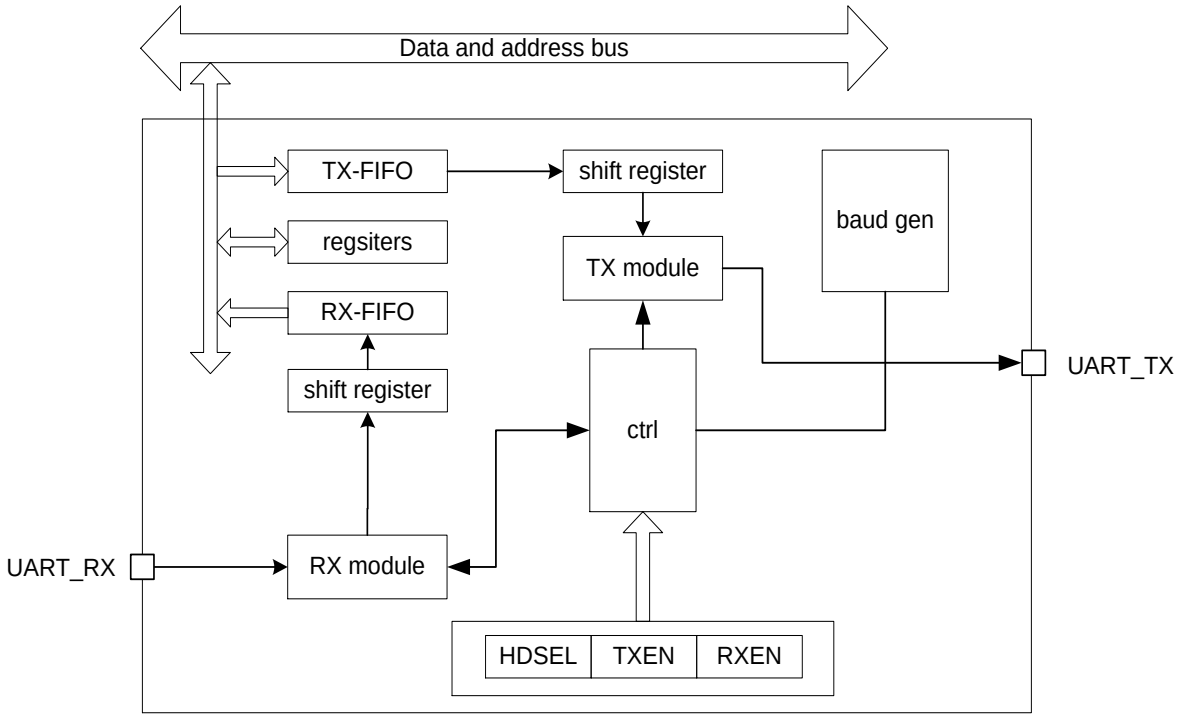


图 13-1 UART 结构框图

UART 串口模块有 2 个引脚：

UART_RX：串行数据输入。

UART_TX：串行数据输出。单线半双工模式下，TX 引脚既用于数据输入也用于数据输出 (需配置成开漏模式)。

注：

- 当发送器使能，但不发送数据时，TX 引脚处于高电平。
- 当发送器使能，且发送数据时，TX 引脚在起始位期间处于低电平，在停止位期间处于高电平。

13.1. UARTx 异步工作模式

全双工和半双工的配置流程：

1. 设置通信波特率 = Fmaster / (16 * {URxBRRH, URxBRRL}) (参阅 ” URxBRRH”, “URxBRRL”)；
2. 设置通信数据长度为 8 或 9 位 (参阅 “URxMODE”)；
3. 设置奇偶校验位 (参阅 “URxPCEN”, “URxEVEN”)；
4. 设置停止位长度为 1 或 2 位 (参阅 “URxSTOP”)；
5. 选择全双工 (默认) 或半双工工作模式 (参阅 “URxHDSEL”)；
6. 如需要，可使能相应的中断 (参阅 ”GIE”, ”PEIE”, ”URxTXEIE”, ”URxRXNEIE” 和 “URxERRIE” 等)；
7. 根据需要，设置 URxTXEN = 1 或 URxRXEN = 1，使能发送或接收功能；
8. 设置 URxEN = 1，使能 UARTx 模块；

注：

1. UARTx 外设时钟 Fmaster = SysClk；
2. 数据发送 FIFO 深度为 1，接收 FIFO 深度为 2；
3. 半双工模式下，如果同时使能发送和接收功能，则发送的数据也会被本机接收到；
4. 建议在关闭 UARTx 模块 (URxEN = 0) 时，再更改相关配置，否则将导致数据传输错误；

异步模式的数据通信格式为先发送低位，后发送高位。有无奇偶校验位的数据帧格式对比如下图：

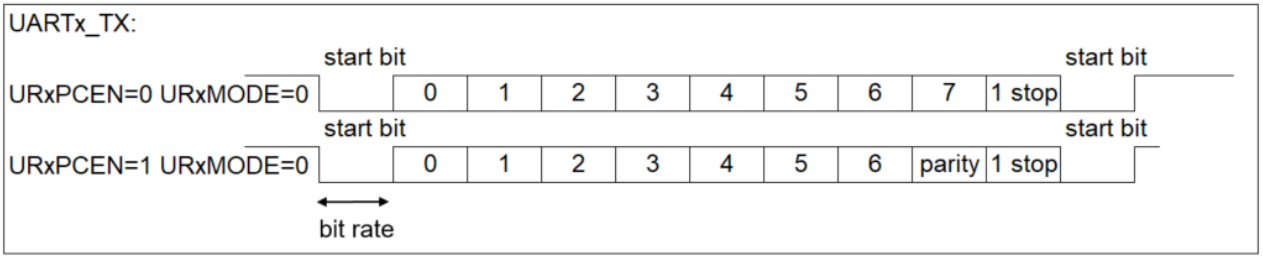


图 13-2 异步模式通信格式 (以 8bit 数据格式为例)

数据处理流程包括阻塞模式和非阻塞模式：

	阻塞模式	非阻塞模式
发送数据	向 URxDATL/H (TX-FIFO) 写入数据后，有 2 种查询方式如下： 1. 查询 URxTXEF，当其置 1 时，写入下一个数据； 2. 查询 URxTXBSY，当其清 0 后，写入下一个数据；	当 URxTXEIE = 1 时，向 URxDATL/H (TX-FIFO) 写入数据后，URxTXEF 置 1 则进入中断
接收数据	查询 URxRXNEF 或 URxRXFULL，当其置 1 时，则可读取 URxDATL/H (RX-FIFO) 的值；	当 URxRXNEIE = 1 时，URxRXNEF 置 1 后进入中断； 此外，建议使能 URxERRIE 中断，当接收错误时则进入相应的中断进行处理；
备注	-	进入中断后，查询相应的状态标志位并处理发送接收流程，处理完成后退出中断

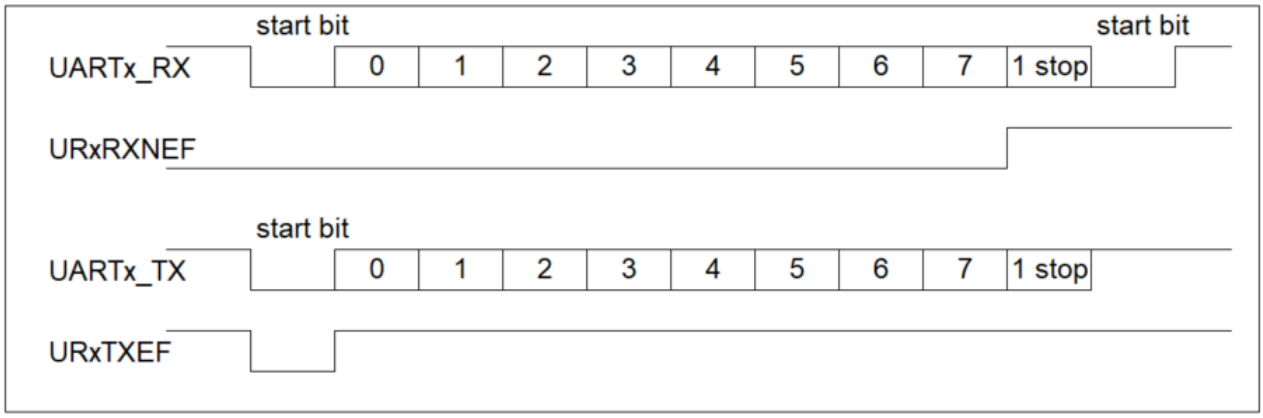


图 13-3 异步模式标志位时序图

13.2. UARTx 接口相关寄存器汇总

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
UR0DATL	185	UR0DATL[7:0]								0000 0000
UR0DATH	186	–	–	–	–	–	–	–	UR0DATH	---- ---0
UR0CR1	187	UR0HDSEL	UR0STOP	UR0MODE	UR0EVEN	UR0PCEN	UR0RXEN	UR0TXEN	UR0EN	0000 0000
UR0CR2	188	UR0BRRH[3:0]				–	UR0ERRIE	UR0RXNEIE	UR0TXEIE	0000 –000
UR0BRRL	189	UR0BRRL[7:0]								0000 0000
UR0STAT	19F	–	UR0TXBSY	UR0OVF	UR0PEF	UR0RXFULL	UR0FEF	UR0RXNEF	UR0TXEF	-000 0001
UR1DATL	90	UR1DATL[7:0]								0000 0000
UR1DATH	91	–	–	–	–	–	–	–	UR1DATH	---- ---0
UR1CR1	92	UR1HDSEL	UR1STOP	UR1MODE	UR1EVEN	UR1PCEN	UR1RXEN	UR1TXEN	UR1EN	0000 0000
UR1CR2	93	UR1BRRH[3:0]				–	UR1ERRIE	UR1RXNEIE	UR1TXEIE	0000 -000
UR1BRRL	94	UR1BRRL[7:0]								0000 0000
UR1STAT	95	–	UR1TXBSY	UR1OVF	UR1PEF	UR1RXFULL	UR1FEF	UR1RXNEF	URxTXEF	-000 0001
COMAF1	286	INTPO[1:0]		TX0PO[2:0]			RX0PO[2:0]			0000 0000
COMAF2	287	UR1SW	UR0SW	–	TX1PO[1:0]		INTFIXB	RX1PO[1:0]		00-0 0100
ODCONA	205	PORTA 开漏								0000 0000
ODCONB	206	PORTB 开漏								0000 0000
ODCONC	207	PORTC 开漏								0000 0000
ODCOND	208	–	–	PORTD[5:3]开漏			–	PORTD[1:0]开漏		--00 0-00

表 13-1 UART0 / UART1 相关用户寄存器地址和复位值

13.2.1. UR0DATL (0x185)

Bit	7	6	5	4	3	2	1	0
Name	UR0DATL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	UR0DATL	UART0 数据发送/接收 FIFO 低 8 位 (不适宜位操作) 写时：将新数据写入到 TX-FIFO 中 读时：返回 RX-FIFO 中未读的数据 注：TX-FIFO 的深度为 1，RX-FIFO 的深度为 2

13.2.2. UR0DATH (0x186)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	–	–	–	UR0DATH
Type	RO	RO	RO	RO	RO	RO	RO	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:1	N/A	保留位
0	UR0DATH	UART0 数据发送/接收 FIFO 高 1 位 (当 UR0MODE = 1 时有效，参阅 UR0DATL) 注：需先写 UR0DATAL，再写 UR0DATAH

13.2.3. UR0CR1 (0x187)

Bit	7	6	5	4	3	2	1	0
Name	UR0HDSEL	UR0STOP	UR0MODE	UR0EVEN	UR0PCEN	UR0RXEN	UR0TXEN	UR0EN
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	UR0HDSEL	UART0 半双工： 1 = 使能 0 = 关闭
6	UR0STOP	UART0 停止位长度： 1 = 2 bit 0 = 1 bit
5	UR0MODE	UART0 通信数据格式(包括校验位)： 1 = 9 bit 0 = 8 bit
4	UR0EVEN	UART0 奇/偶校验： 1 = 偶校验 0 = 奇校验
3	UR0PCEN	UART0 校验位： 1 = 使能 0 = 关闭
2	UR0RXEN	UART0 接收： 1 = 使能 0 = 关闭
1	UR0TXEN	UART0 发送： 1 = 使能 0 = 关闭
0	UR0EN	UART0 模块： 1 = 使能 0 = 关闭

13.2.4. UR0CR2 (0x188)

Bit	7	6	5	4	3	2	1	0
Name	UR0BRRH[3:0]				–	UR0ERRIE	UR0RXNEIE	UR0TXEIE
Type	RW	RW	RW	RW	RO	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:4	UR0BRRH	UART0 波特率分频计数器高 4 位 (参阅 UR0BRRL)
3	N/A	保留位
2	UR0ERRIE	UART0 接收错误中断： 1 = 使能 0 = 关闭 注：接收错误中断产生条件为 UR0OVF /UR0PEF /UR0FEF = 1
1	UR0RXNEIE	UART0 接收 BUF 为非空中断： 1 = 使能 0 = 关闭
0	UR0TXEIE	UART0 发送 BUF 为空中断： 1 = 使能 0 = 关闭

13.2.5. UR0BRRL (0x189)

Bit	7	6	5	4	3	2	1	0
Name	UR0BRRL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	UR0BRRL	UART0 波特率分频计数器低 8 位 波特率 = Fmaster / (16 * UR0BRR[11:0]) 注：Fmaster = SysClk。UR0BRR 最小值= 0x0001，当其为 0x0000 时, UART0 不工作

13.2.6. UR0STAT (0x19F)

Bit	7	6	5	4	3	2	1	0
Name	-	UR0TXBSY	UR0OVF	UR0PEF	UR0RXFULL	UR0FEF	UR0RXNEF	UR0TXEF
Type	RO	RO	RW0	RW0	RO	RW0	RO	RO
Reset	0	0	0	0	0	0	0	1

Bit	Name	Function
7	N/A	保留位
6	UR0TXBSY	UART0 发送器状态： 1 = 忙碌 0 = 空闲
5	UR0OVF	UART0 接收 BUF 溢出错误标志： 1 = 溢出 0 = 正常，或已被清零
4	UR0PEF	UART0 接收到奇偶校验错误标志： 1 = 错误 0 = 正确，或已被清零
3	UR0RXFULL	UART0 接收 FIFO 状态： 1 = 已满 0 = 未满
2	UR0FEF	UART0 接收到帧错误标志： 1 = 错误 0 = 正确，或已被清零
1	UR0RXNEF	UART0 接收 BUF 状态： 1 = 非空 0 = 空，或已被清零
0	UR0TXEF	UART0 发送 BUF 状态： 1 = 空 0 = 非空

13.2.7. UR1DATL (0x90)

Bit	7	6	5	4	3	2	1	0
Name	UR1DATL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	UR1DATL	UART1 数据发送/接收 FIFO 低 8 位 (不适宜位操作) 写时：将新数据写入到 TX-FIFO 中 读时：返回 RX-FIFO 中未读的数据 注：TX-FIFO 的深度为 1，RX-FIFO 的深度为 2

13.2.8. UR1DATH (0x91)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	–	–	–	–	UR1DATH
Type	RO	RO	RO	RO	RO	RO	RO	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:1	N/A	保留位
0	UR1DATH	UART1 数据发送/接收 FIFO 高 1 位 (当 UR1MODE = 1 时有效，参阅 UR1DATL) 注：需先写 UR1DATAL，再写 UR1DATAH

13.2.9. UR1CR1 (0x92)

Bit	7	6	5	4	3	2	1	0
Name	UR1HDSEL	UR1STOP	UR1MODE	UR1EVEN	UR1PCEN	UR1RXEN	UR1TXEN	UR1EN
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7	UR1HDSEL	UART1 半双工： 1 = 使能 0 = 关闭
6	UR1STOP	UART1 停止位长度： 1 = 2 bit 0 = 1 bit
5	UR1MODE	UART1 通信数据格式(包括校验位)： 1 = 9 bit 0 = 8 bit
4	UR1EVEN	UART1 奇/偶校验： 1 = 偶校验 0 = 奇校验
3	UR1PCEN	UART1 校验位： 1 = 使能 0 = 关闭
2	UR1RXEN	UART1 接收： 1 = 使能 0 = 关闭
1	UR1TXEN	UART1 发送： 1 = 使能 0 = 关闭
0	UR1EN	UART1 模块： 1 = 使能 0 = 关闭

13.2.10. UR1CR2 (0x93)

Bit	7	6	5	4	3	2	1	0
Name	UR1BRRH[3:0]				–	UR1ERRIE	UR1RXNEIE	UR1TXEIE
Type	RW	RW	RW	RW	RO	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:4	UR1BRRH	UART1 波特率分频计数器高 4 位 (参阅 UR1BRRL)
3	N/A	保留位
2	UR1ERRIE	UART1 接收错误中断： 1 = 使能 0 = 关闭 注：接收错误中断产生条件 UR1OVF /UR1PEF /UR1FEF = 1
1	UR1RXNEIE	UART1 接收 BUF 为非空中断： 1 = 使能 0 = 关闭
0	UR1TXEIE	UART1 发送 BUF 为空中断： 1 = 使能 0 = 关闭

13.2.11. UR1BRRL (0x94)

Bit	7	6	5	4	3	2	1	0
Name	UR1BRRL[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	UR1BRRL	UART1 波特率分频计数器低 8 位 波特率 = Fmaster / (16 * UR1BRR[11:0]) 注：Fmaster = SysClk。UR1BRR 最小值= 0x0001，当其为 0x0000 时, UART1 不工作

13.2.12. UR1STAT (0x95)

Bit	7	6	5	4	3	2	1	0
Name	-	UR1TXBSY	UR1OVF	UR1PEF	UR1RXFULL	UR1FEF	UR1RXNEF	UR1TXEF
Type	RO	RO	RW0	RW0	RO	RW0	RO	RO
Reset	0	0	0	0	0	0	0	1

Bit	Name	Function
7	N/A	保留位
6	UR1TXBSY	UART1 发送器状态： 1 = 忙碌 0 = 空闲
5	UR1OVF	UART1 接收 BUF 溢出错误标志： 1 = 溢出 0 = 正常，或已被清零
4	UR1PEF	UART1 接收到奇偶校验错误标志： 1 = 错误 0 = 正确，或已被清零
3	UR1RXFULL	UART1 接收 FIFO 状态： 1 = 已满 0 = 未满
2	UR1FEF	UART1 接收到帧错误标志： 1 = 错误 0 = 正确，或已被清零
1	UR1RXNEF	UART1 接收 BUF 状态： 1 = 非空 0 = 空，或已被清零
0	UR1TXEF	UART1 发送 BUF 状态： 1 = 空 0 = 非空

13.2.13. COMAF1 (0x286)

Bit	7	6	5	4	3	2	1	0
Name	INTPO[1:0]		TX0PO[2:0]			RX0PO[2:0]		
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	INTPO	INT / BKIN / ADC_ETR 管脚映射： 0x = PD4 10 = PD4 11 = PC4
5:3	TX0PO	UART0_TX 管脚映射： 当 UR0SW = 0：　　当 UR0SW = 1： 0xx = PC2　　0xx = PC1 100 = PC0　　100 = PB7 101 = PB3　　101 = PB2 110 = PB0　　110 = PB5 111 = PC7　　111 = PA0
2:0	RX0PO	UART0_RX 管脚映射： 当 UR0SW = 0：　　当 UR0SW = 1： 0xx = PC1　　0xx = PC2 100 = PB7　　100 = PC0 101 = PB2　　101 = PB3 110 = PB5　　110 = PB0 111 = PA0　　111 = PC7

13.2.14. COMAF2 (0x287)

Bit	7	6	5	4	3	2	1	0
Name	UR1SW	UR0SW	–	TX1PO[1:0]		INTFIXB	RX1PO[1:0]	
Type	RW	RW	RO	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	1	0	0

Bit	Name	Function
7	UR1SW	UART1 TX 和 RX 管脚交换： 1 = 交换 (详见 TX1PO / RX1PO) 0 = 正常
6	UR0SW	UART0 TX 和 RX 管脚交换： 1 = 交换 (详见 TX0PO / RX0PO) 0 = 正常
5	N/A	保留位
4:3	TX1PO	UART1_TX 管脚映射： 当 UR1SW = 0： 当 UR1SW = 1： 0x = PC7 0x = PA0 10 = PC5 10 = PC6 11 = PC2 11 = PC1
2	INTFIXB	INT 中断管脚映射： 1 = 由 INTPO 决定 0 = 映射在 PD4 (BKIN 和 ADC_ETR 复用映射仍由 INTPO 决定)
1:0	RX1PO	UART1_RX 管脚映射： 当 UR1SW = 0： 当 UR1SW = 1： 0x = PA0 0x = PC7 10 = PC6 10 = PC5 11 = PC1 11 = PC2

13.2.15. ODCONA (0x205)

Bit	7	6	5	4	3	2	1	0
Name	ODCONA[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONA	PORTA[7:0] 开漏输出： 1 = 使能 0 = 关闭

13.2.16. ODCONB (0x206)

Bit	7	6	5	4	3	2	1	0
Name	ODCONB[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONB	PORTB[7:0] 开漏输出： 1 = 使能 0 = 关闭

13.2.17. ODCONC (0x207)

Bit	7	6	5	4	3	2	1	0
Name	ODCONC[7:0]							
Type	RW	RW	RW	RW	RW	RW	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	ODCONC	PORTC[7:0] 开漏输出： 1 = 使能 0 = 关闭

13.2.18. ODCOND (0x208)

Bit	7	6	5	4	3	2	1	0
Name	-	-	ODCOND[5:3]			-	ODCOND[1:0]	
Type	RO	RO	RW	RW	RW	RO	RW	RW
Reset	0	0	0	0	0	0	0	0

Bit	Name	Function
7:6	N/A	保留位
5:3	ODCOND[5:3]	PORTD[5:3] 开漏输出： 1 = 使能 0 = 关闭
2	N/A	保留位
1:0	ODCOND[1:0]	PORTD[1:0] 开漏输出： 1 = 使能 0 = 关闭

14 存储区读/写保护

程序区 (PROM) 可配置为全区读保护，或扇区读/写保护 (每个扇区空间为 1k x 14bit)，数据 EEPROM 区 (DROM) 可配置为全区读保护。这些保护功能均由 IDE 界面进行选择配置。

名称	功能	默认
CPDB	DROM 全区读保护	关闭
CPB	PROM 全区读保护	关闭
SECPB0	PROM 扇区 0 (1k x 14bit) 读/写保护	关闭
SECPB1	PROM 扇区 1 (1k x 14bit) 读/写保护	关闭
SECPB2	PROM 扇区 2 (1k x 14bit) 读/写保护	关闭
SECPB3	PROM 扇区 3 (1k x 14bit) 读/写保护	关闭
SECPB4	PROM 扇区 4 (1k x 14bit) 读/写保护	关闭
SECPB5	PROM 扇区 5 (1k x 14bit) 读/写保护	关闭

表 14-1 存储区读/写保护初始化配置寄存器

15 指令集 (INSTRUCTION SET)

汇编语法	功能	运算	状态位
NOP	空操作	None	NONE
SLEEP	进入 SLEEP 模式	0 → WDT; Stop OSC	/PF, /TF
CLRWDT	清看门狗 (喂狗)	0 → WDT	/PF, /TF
LJUMP N	无条件跳转	N → PC	NONE
LCALL N	调用子程序	N → PC; PC + 1 → Stack	NONE
RETI	从中断返回	Stack → PC; 1 → GIE	NONE
RET	从子程序返回	Stack → PC	NONE
BCR R, b	将寄存器 R 的 b 位清 0	0 → R(b)	NONE
BSR R, b	将寄存器 R 的 b 位置 1	1 → R(b)	NONE
CLRR R	将寄存器 R 清 0	0 → R	Z
LDR R, d (MOVF)	将 R 存到 d	R → d	Z
COMR R, d	R 的反码	/R → d	Z
INCR R, d	R + 1	R + 1 → d	Z
INCRSZ R, d	R + 1，结果为 0 则跳过	R + 1 → d	NONE
DECR R, d	R − 1	R − 1 → d	Z
DECRSZ R, d	R − 1，结果为 0 则跳过	R − 1 → d	NONE
SWAPR R, d	将寄存器 R 的半字节交换	R(0-3)R(4−7) → d	NONE
RRR R, d	R 带进位循环右移	R(0) → C; R(n) → R(n−1); C → R(7);	C
RLR R, d	R 带进位循环左移	R(7) → C; R(n) → R(n+1); C → R(0);	C
BTSC R, b	位测试，结果为 0 则跳过	Skip if R(b)=0	NONE
BTSS R, b	位测试，结果为 1 则跳过	Skip if R(b)=1	NONE
CLRW	将工作寄存器 W 清 0	0 → W	Z
STTMD	将 W 内容存到 OPTION	W → OPTION	NONE
CTLIO R	设置 I/O 方向控制寄存器 TRISr	W → TRISr	NONE
STR R (MOVWF)	将 W 存到 R	W → R	NONE
ADDWR R, d	W 与 R 相加	W + R → d	C, HC, Z
SUBWR R, d	R 减 W	R − W → d	C, HC, Z
ANDWR R, d	W 与 R 相与	R & W → d	Z
IORWR R, d	W 与 R 相或	W | R → d	Z
XORWR R, d	W 与 R 异或	W ^ R → d	Z
LDWI I (MOVLW)	将立即数存到 W	I → W	NONE
ANDWI I	W 与立即数 I 相与	I & W → W	Z
IORWI I	W 与立即数 I 相或	I | W → W	Z
XORWI I	W 与立即数 I 异或	I ^ W → W	Z
ADDWI I	W 与立即数 I 相加	I + W → W	C, HC, Z
SUBWI I	立即数 I 减 W	I − W → W	C, HC, Z
RETW I	返回，将立即数 I 存到 W	Stack → PC; I → W	NONE

表 15-1 37 条 RISC 指令

字段	描述
R(F)	SFR/SRAM 地址
W	工作寄存器
b	8-bit 寄存器 R / RAM 中的位地址
I / Imm (k)	立即数
X	不关心，值可以为 0 或 1
d	目标寄存器选择 1 = 结果存放到寄存器 R / RAM 0 = 结果存放到 W
N	程序绝对地址
PC	程序计数器
/PF	掉电标志位
/TF	超时标志位
TRISr	TRISr 寄存器, r 可以是 A, B, C
C	进位 / 借位
HC	半进位 / 半借位
Z	0 标志位

表 15-2 操作码字段

16 特殊功能寄存器 (SPECIAL FUNCTION REGISTERS, SFR)

有 2 种特殊功能寄存器(SFR)：

- 初始化配置寄存器：由仿真器界面设置 (Integrated Development Environment, IDE)。
- 用户寄存器。

16.1. 初始化配置寄存器



图 16-1 由 IDE 设置的初始化配置寄存器

名称	功能	默认
CPB	PROM 全区读保护	关闭
MCLRE	外部 I/O 复位	关闭
PWRTEB	上电延时定时器(PWRT)，初始化配置完成后额外延时~64ms	关闭
WDTE	WDT • 使能 (指令不能禁止) • 由指令控制 (SWDTEN)	SWDTEN 控制
FOSC	• LP：PA1 (+) 和 PA2(−) 接外部低速晶振 • XT：PA1 (+) 和 PA2 (−) 接外部高速晶振 • EC：PA1 (+) 接外部时钟输入，PA2 为 I/O • INTOSC：PA2 或 PD5 输出"指令时钟"，PA1 为 I/O • INTOSCIO：PA1 和 PA2 为 I/O	INTOSCIO
CPDB	DROM 全区读保护	关闭
CSUMEB	程序空间校验和的验证功能	关闭
TSEL	指令时钟与系统时钟 SysClk 的对应关系 (2T or 4T)： • 2 (指令时钟= SysClk/2) • 4 (指令时钟= SysClk/4)	2
FCMEN	故障保护时钟监控器	使能
IESO	XT / LP 双速时钟启动	使能
RDCTRL	当 TRISx = 0 时，读 PORTx 寄存器的返回值 • 输入锁存器 • 输出锁存器	输出
LVREN	LVR • 使能 • 关闭 • 非 SLEEP 模式下使能 • 通过指令控制 (SLVREN)	关闭
IRBTE	非法指令复位启动初始化配置	关闭
MRBTE	MCLRE 复位启动初始化配置	关闭
WDTBTE	WDT 复位启动初始化配置	关闭
LVRS	7 档 V_{BOR} 电压(V)： 2.0 / 2.2 / 2.5 / 2.8 / 3.1 / 3.6 / 4.1	2.0
FSECPB0	PROM 扇区 0 (1k x 14bit) 读/写保护	关闭
FSECPB1	PROM 扇区 1 (1k x 14bit) 读/写保护	关闭
FSECPB2	PROM 扇区 2 (1k x 14bit) 读/写保护	关闭
FSECPB3	PROM 扇区 3 (1k x 14bit) 读/写保护	关闭
FSECPB4	PROM 扇区 4 (1k x 14bit) 读/写保护	关闭
FSECPB5	PROM 扇区 5 (1k x 14bit) 读/写保护	关闭

表 16-1 初始化配置寄存器 (由 IDE 设置)

16.2. 用户寄存器

用户寄存器，即特殊功能寄存器(SFR)和 SRAM 分布在 8 个 bank (bank0~7) 中，每个 bank 大小为 128 字节。在访问寄存器前，必须先切换到相应的 bank (参阅 ”AUXPGE” 和 ”PAGE”)。

由于切换 bank 需要额外的指令，因此一些常用的 SFR 同时存储在 8 个 bank 中，以减少切换操作，这 8 个 bank 所共有的寄存器值是同步的。

Bank	Bank0	Bank1	Bank2	Bank3	Bank4	Bank5	Bank6	Bank7
首地址	000H	080H	100H	180H	200H	280H	300H	380H

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	首地址 + 0H	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
PCL	首地址 + 2H	程序计数器 (PC) 低 8 位								0000 0000
STATUS	首地址 + 3H	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	首地址 + 4H	间接寻址指针寄存器								xxxx xxxx
PCLATH	首地址 + AH	-	-	-	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	首地址 + BH	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
首地址 + 70-7FH		公共 BANK SRAM 区								xxxx xxxx

表 16-2 8 个 BANK 共有的寄存器

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	0	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
TMR0	1	Timer0 计数器								xxxx xxxx
PCL	2	程序计数器 (PC) 低 8 位								0000 0000
STATUS	3	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	4	间接寻址指针寄存器								xxxx xxxx
PORTA	5	PORTA[7:0] 数据								xxxx xxxx
PORTB	6	PORTB[7:0] 数据								xxxx xxxx
PORTC	7	PORTC[7:0] 数据								xxxx xxxx
PORTD	8	–	–	PORTD[5:3]数据			–	PORTD[1:0] 数据		--xx x-xx
PIR2	9	–	–	–	–	–	T3IF	–	–	---- -0--
PCLATH	0A	–	–	–	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	0B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
PIR1	0C	EEIF	CKMIF	LVDIF	ACMPIF	TMR1IF	OSFIF	TMR2IF	ADCIF	0000 0000
P1ADTL	0D	P1A 占空比低 8 位								0000 0000
P1ADTH	0E	P1A 占空比高 8 位								0000 0000
P1BDTL	0F	P1B 占空比低 8 位								0000 0000
P1BDTH	10	P1B 占空比高 8 位								0000 0000
P1CDTL	11	P1C 占空比低 8 位								0000 0000
P1CDTH	12	P1C 占空比高 8 位								0000 0000
P1DDTL	13	P1D 占空比低 8 位								0000 0000
P1DDTH	14	P1D 占空比高 8 位								0000 0000
TMR2L	15	Timer2 计数器低 8 位								0000 0000
TMR2H	16	Timer2 计数器高 8 位								0000 0000
PR2L	17	Timer2 周期寄存器 PR2 低 8 位								1111 1111
PR2H	18	Timer2 周期寄存器 PR2 高 8 位								1111 1111
P1BR0	19	P1BEVT	P1BKS [2:0]			P1BSS [1:0]		P1ASS [1:0]		0000 0000
P1BR1	1A	P1D2SS [1:0]		P1DSS [1:0]		P1C2SS [1:0]		P1CSS [1:0]		0000 0000
P1POL0	1B	P1C0P	P1B0P	P1A2NP	P1A2P	P1A1NP	P1A1P	P1A0NP	P1A0P	0000 0000
P1POL1	1C	P1D2P	P1D1P	P1D0P	–	–	P1C1P	P1B1P	–	000- -00-
P1CON	1D	P1AUE	P1DC [6:0]							0000 0000
T2CON0	1E	PR2U	TOUTPS [3:0]				TMR2ON	T2CKPS [1:0]		0000 0000
T2CON1	1F	–	–	–	P1OS	P1BZM	T2CKSRC [2:0]			---0 0000
20–6F		SRAM BANK0, (80 Bytes)								xxxx xxxx
70–7F		SRAM BANK0, (16 Bytes)								xxxx xxxx

表 16-3 SFR, BANK 0

名称	地址	bit 7	bit5	bit4	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	80	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
OPTION	81	/PAPU	INTEDG	T0CS	T0SE	PSA	PS[2:0]			1111 1111
PCL	82	程序计数器 (PC) 低 8 位								0000 0000
STATUS	83	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	84	间接寻址指针寄存器								xxxx xxxx
TRISA	85	PORTA 方向控制								1111 1111
TRISB	86	PORTB 方向控制								1111 1111
TRISC	87	PORTC 方向控制								1111 1111
TRISD	88	-	-	PORTD[5:3]方向控制			-	PORTD[1:0]方向控制		--11 1-11
PIE2	89	-	-	-	-	-	T3IE	-	-	---- -0--
PCLATH	8A	-	-	-	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	8B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
PIE1	8C	EEIE	CKMIE	LVDIE	ACMPIE	TMR1IE	OSFIE	TMR2IE	ADCIE	0000 0000
P1AUX	8D	P1BKM	P1CDM	P1B2SS[1:0]		P1CF2E	P1CF2	P1DF2E	P1DF2	0000 0000
PCON	8E	LVDL[3:0]				LVDEN	LVDW	/POR	/BOR	0000 0xqq
OSCCON	8F	LFMOD	IRCF[2:0]			OSTS	HTS	LTS	SCS	0100 x000
UR1DATL	90	UR1DATL[7:0]								0000 0000
UR1DATH	91	-			-	-	-	-	UR1DATH	---- ---0
UR1CR1	92	UR1HDSEL	UR1STOP	UR1MODE	UR1EVEN	UR1PCEN	UR1RXEN	UR1TXEN	UR1EN	0000 0000
UR1CR2	93	UR1BRRH[3:0]				-	UR1ERRIE	UR1RXNEIE	UR1TXEIE	0000 -000
UR1BRRL	94	UR1BRRL[7:0]								0000 0000
UR1STAT	95	-	UR1TXBSY	UR1OVF	UR1PEF	UR1RXFULL	UR1FEF	UR1RXNEF	UR1TXEF	-000 0001
-	96	-								---- ----
-	97	-								---- ----
IOCA	98	IOCA[7:0]								0000 0000
WDTCON	99	-	WCKSRC[1:0]		WDTPS[3:0]				SWDTEN	-000 1000
EEDAT	9A	EEDAT[7:0]								0000 0000
EEADR	9B	EEADR[7:0]								0000 0000
EECON1	9C	-	-	WREN3	WREN2	WRERR	WREN1	PONLY	RD	--00 x000
EECON2	9D	-	-	-	-	-	-	-	WR	---- ---0
P1OE0	9E	P1C0OE	P1B0OE	P1A2NOE	P1A2OE	P1A1NOE	P1A1OE	P1A0NOE	P1A0OE	0000 0000
P1OE1	9F	P1D2OE	P1D1OE	P1D0OE	-	-	P1C1OE	P1B1OE	-	000- -00-
A0–EF		SRAM BANK1 (80Bytes)								xxxx xxxx
F0–FF		SRAM 访问 BANK0 的 0x70–0x7F								xxxx xxxx

表 16-4 SFR, BANK 1

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	100	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
MSCON1	101	–	–	–	AUXPGX	LVRDEB	LVRCKS	AUXPGE	HIRCM	---0 1000
PCL	102	程序计数器 (PC) 低 8 位								0000 0000
STATUS	103	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	104	间接寻址指针寄存器								xxxx xxxx
T0CON0	105	T0DZ[1:0]		P0ANOE	P0AOE	T0ON	T0CKRUN	T0CKSRC[1:0]		0000 1000
T1CON0	106	–	T1AUSTP	T1ECKE	T1CKPSA	T1CKRUN	T1ON	T1CKSRC[1:0]		-000 0000
PR0	107	PR0[7:0]								1111 1111
T0DUTY	108	T0DUTY[7:0]								0000 0000
FOSCCALL	109	FOSCCAL[7:0]								xxxx xxxx
PCLATH	10A	–	–	–	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	10B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
MSCON0	10C	–	–	ROMLPE	CLKOS	SLVREN	CKMAVG	CKCNTI	T2CKRUN	--01 0000
MSCON2	10D	P0ANP	P0AP	–						00-- ----
LEBCON	10E	LEBEN	–	–	–	EDGS	–	–	–	0--- 0---
ADCMPH	10F	ADCMPH[7:0]								0000 0000
ADDLY	110	ADDLY[7:0] / LEBPRL[7:0]								0000 0000
ADRESL	111	ADC 转换结果低有效位								xxxx xxxx
ADRESH	112	ADC 转换结果高有效位								xxxx xxxx
ADCON0	113	CHS[4:0]					ADEX	GO/DONE	ADON	0000 0000
ADCON1	114	ADFM	ADCS[2:0]			–		ADPREF[1:0]		0010 --00
ADCON2	115	ADINTREF[1:0]		ETGTYP[1:0]		ADDLY8	ETGSEL[2:0]			0100 0000
ADCON3	116	ADFBEN	ADCMPP	ADCMPE	ADHSDEN	ADVREFEN	–			0000 0---
PR1L	117	Timer1 周期寄存器 PR1 低 8 位								1111 1111
PR1H	118	–	–	–	–	Timer1 周期寄存器 PR1 高 4 位				---- 1111
TMR1L	119	Timer1 计数器低 8 位								0000 0000
TMR1H	11A	–	–	–	–	Timer1 计数器高 4 位				---- 0000
–	11B	–								---- ----
–	11C	–								---- ----
–	11D	–								---- ----
ANSEL0	11E	ANSEL0[7:0]								0000 0000
ANSEL1	11F	ANSEL1[7:0]								0000 0000
120–16F		SRAM BANK2 (80Bytes)								xxxx xxxx
170–17F		SRAM 访问 BANK0 的 0x70–0x7F								xxxx xxxx

表 16-5 SFR, BANK 2

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	180	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
T3CON0	181	–				T3CKSRC[1:0]		T3CKRUN	T3ON	---- 0000
PCL	182	程序计数器 (PC) 低 8 位								0000 0000
STATUS	183	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	184	间接寻址指针寄存器								xxxx xxxx
UR0DATL	185	UR0DATL[7:0]								0000 0000
UR0DATH	186	–	–	–	–	–	–	–	UR0DATH	---- ---0
UR0CR1	187	UR0HDSEL	UR0STOP	UR0MODE	UR0EVEN	UR0PCEN	UR0RXEN	UR0TXEN	UR0EN	0000 0000
UR0CR2	188	UR0BRRH[3:0]				–	UR0ERRIE	UR0RXNEIE	UR0TXEIE	0000 -000
UR0BRRL	189	UR0BRRL[7:0]								0000 0000
PCLATH	18A	–	–	–	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	18B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
SPIDAT	18C	SPIDAT[7:0]								0000 0000
SPICR0	18D	–	–	–	–	NSSM[1:0]		TXBMT	SPIEN	---- 0110
SPICFG	18E	SPIBUSY	MSTEN	CPHA	CPOL	SLAS	NSSVAL	SRMT	RXBMT	0000 xx11
SPISCR	18F	SPISCR[7:0]								0000 0000
–	190	–								---- ----
–	191	–								---- ----
–	192	–								---- ----
SPIIER	193	–	–	–	–	WAKUP	RXERR	RXNE	TXE	---- 0000
SPICR1	194	BDM	BDOE	RXONLY	SSI	SSM	–	–	LSBFIRST	0000 0--0
SPISTAT	195	SPIF	WCOL	MODF	RXOVRN	–	–	WKF	–	0000 --0-
I2CCR1	196	STRET	–	ADDRM	STOP	WRN	START	MASTER	I2CEN	1-00 0000
I2CCR2	197	I2CADDRH[1:0]		NACK	DUTY	–	–	–	I2CIE	0000 ---0
I2CADDR	198	I2CADDRL[7:0]								0000 0000
I2CCCR	199	I2CCCR[7:0]								1111 1111
I2CDAT	19A	I2CDAT[7:0]								0000 0000
–	19B	–								---- ----
–	19C	–								---- ----
–	19D	–								---- ----
I2CISR	19E	HOLDF	STOPF	ADDRF	NACKF	I2CBUSY	DIRF/ BUSERR	IICRXNEF	IICTXEF	0000 0001
UR0STAT	19F	–	UR0TXBSY	UR0OVF	UR0PEF	UR0RXFULL	UR0FEF	UR0RXNEF	UR0TXEF	-000 0001
1A0–1EF		SRAM BANK3 (80Bytes)								xxxx xxxx
1F0–1FF		SRAM 访问 BANK0 的 0x70–0x7F								xxxx xxxx

表 16-6 SFR, BANK3

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	200	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
–	201	–								---- ----
PCL	202	程序计数器 (PC) 低 8 位								0000 0000
STATUS	203	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	204	间接寻址指针寄存器								xxxx xxxx
ODCONA	205	PORTA 开漏								0000 0000
ODCONB	206	PORTB 开漏								0000 0000
ODCONC	207	PORTC 开漏								0000 0000
ODCOND	208	–	–	PORTD[5:3]开漏			–	PORTD[1:0]开漏		--00 0-00
SCKCFG	209	SCKEN	–	–	–	–	–	SCKOE	–	0--- --0-
PCLATH	20A	–	–	–	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	20B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
PSRCAL	20C	PA3, PA2, PA1, PA0 源电流设置								1111 1111
PSRCAH	20D	PA7, PA6, PA5, PA4 源电流设置								1111 1111
PSRCBL	20E	PB3, PB2, PB1, PB0 源电流设置								1111 1111
PSRCBH	20F	PB7, PB6, PB5, PB4 源电流设置								1111 1111
PSRCCL	210	PC3, PC2, PC1, PC0 源电流设置								1111 1111
PSRCCH	211	PC7, PC6, PC5, PC4 源电流设置								1111 1111
PSRCDL	212	PD3 源电流设置		–	–	PD1, PD0 源电流设置				11-- 1111
PSRCDH	213	–	–	–	–	PD5, PD4 源电流设置				---- 1111
PSINKA	214	PORTA 灌电流设置								0000 0000
PSINKB	215	PORTB 灌电流设置								0000 0000
PSINKC	216	PORTC 灌电流设置								0000 0000
PSINKD	217	–	–	PORTD[5:3]灌电流设置			–	PORTD[1:0]灌电流设置		--00 0-00
SOSCPRL	218	SOSCPR[7:0]								1111 1111
SOSCPRH	219	–	–	–	–	SOSCPR[11:8]				---- 1111
LVDCON0	21A	SYSON	LVDCKS[1:0]		LVDP	LVDDEB	–	LVDM[1:0]		0000 1-00
SECCODE	21B	加密寄存器								xxxx xxxx
LVDTRIM	21C	–	LVDADJ[3:0]				LVRADJ[2:0]			-xxx xxxx
–	21D	–								---- ----
–	21E	–								---- ----
–	21F	–								---- ----
220–26F		SRAM BANK4 (80Bytes)								xxxx xxxx
270–27F		SRAM 访问 BANK0 的 0x70–0x7F								xxxx xxxx

表 16-7 SFR, BANK4

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	280	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
–	281	–								---- ----
PCL	282	程序计数器 (PC) 低 8 位								0000 0000
STATUS	283	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	284	间接寻址指针寄存器								xxxx xxxx
COMAF0	285	SCKPO	NSSPO	MOSIPO	MISOPO	SDAPO[1:0]		SCLPO[1:0]		0000 0000
COMAF1	286	INTPO[1:0]		TX0PO[2:0]			RX0PO[2:0]			0000 0000
COMAF2	287	UR1SW	UR0SW	–	TX1PO[1:0]		INTFIXB	RX1PO[1:0]		00-0 0100
–	288	–								---- ----
–	289	–								---- ----
PCLATH	28A	–	–	–	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	28B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
ANSEL2	28C	ANSEL2[7:1]							–	0000 000-
ANSEL3	28D	–	–	ANSEL3[5:0]						--00 0000
–	28E	–								---- ----
–	28F	–								---- ----
WPDA	290	PORTA 弱下拉								0000 0000
WPDB	291	PORTB 弱下拉								0000 0000
WPDC	292	PORTC 弱下拉								0000 0000
WPDD	293	–	–	PORTD[5:3] 弱下拉			–	PORTD[1:0] 弱下拉		--00 0-00
WPUA	294	PORTA 弱上拉								1111 1111
WPUB	295	PORTB 弱上拉								0000 0000
WPUC	296	PORTC 弱上拉								0000 0000
WPUD	297	–	–	PORTD[5:3] 弱上拉			–	PORTD[1:0] 弱上拉		--00 0-00
TMR3	298	Timer3 计数器								xxxx xxxx
PR3	299	Timer3 周期								1111 1111
–	29A	–								---- ----
–	29B	–								---- ----
–	29C	–								---- ----
–	29D	–								---- ----
–	29E	–								---- ----
–	29F	–								---- ----
2A0–2EF		SRAM BANK5 (80Bytes)								xxxx xxxx
2F0–2FF		SRAM 访问 BANK0 的 0x70–0x7F								xxxx xxxx

表 16-8 SFR, BANK5

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	300	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
MSCON1	301	–	–	–	AUXPGX	LVRDEB	LVRCKS	AUXPGE	HIRCM	---0 1000
PCL	302	程序计数器 (PC) 低 8 位								0000 0000
STATUS	303	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	304	间接寻址指针寄存器								xxxx xxxx
FOSCCALH	309	–	–	–	FOSCCALH[4:0]					---x xxxx
PCLATH	30A	–	–	–	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	30B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
–	31E	–								---- ----
–	31F	–								---- ----
320–36F		SRAM BANK6 (80Bytes)								xxxx xxxx
370–37F		SRAM 访问 BANK0 的 0x70–0x7F								xxxx xxxx

表 16-9 SFR, BANK6

名称	地址	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	复位值
INDF	380	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
–	381	–								---- ----
PCL	382	程序计数器 (PC) 低 8 位								0000 0000
STATUS	383	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C	0001 1xxx
FSR	384	间接寻址指针寄存器								xxxx xxxx
PCLATH	38A	–	–	–	程序计数器 (PC) 高 5 位锁存器					---0 0000
INTCON	38B	GIE	PEIE	T0IE	INTE	PAIE	T0IF	INTF	PAIF	0000 0000
3A0–3C7		SRAM BANK7 (40Bytes)								xxxx xxxx
3C8–3EF		未实现，读 0								---- ----
3F0–3FF		SRAM 访问 BANK0 的 0x70–0x7F								xxxx xxxx

表 16-10 SFR, BANK7

注：

1. INDF 不是物理寄存器；
2. 灰色部分表示没有实现；
3. 不要对未实现的寄存器位进行写操作。

16.3. STATUS 寄存器 (Bank 首地址 + 0x03)

Bit	7	6	5	4	3	2	1	0
Name	FSRB8	PAGE[1:0]		/TF	/PF	Z	HC	C
Type	RW	RW	RW	RO	RO	RW	RW	RW
Reset	0	0	0	1	1	x	x	x

Bit	Name	Function
7	FSRB8	FSR 寄存器第 8 位，与 FSR 组成一个 9 位的寄存器，在间接寻址时使用，详见 **章节 16.4**。
6:5	PAGE	寄存器存储区 (bank) 选择位 (用于直接寻址)： 00 = Bank 0 (0x00h – 0x7Fh) 01 = Bank 1 (0x80h – 0xFFh) 10 = Bank 2 (0x100 – 0x17F) 11 = Bank 3 (0x180 – 0x1FF) 注：访问 Bank4~Bank7 需把 AUXPGE 置 1。
4	/TF	超时标志位： 1 = 上电后，执行了 CLRWDT 或 SLEEP 指令 0 = 发生 WDT 超时溢出
3	/PF	掉电标志位： 1 = 上电复位后或执行了 CLRWDT 指令 0 = 执行了 SLEEP 指令
2	Z	0 标志位 (算术或逻辑运算的结果为零?)： 1 = Yes 0 = No
1	HC	半进位 / 半借位 (算术运算结果的第 4 低位向高位进位或借位?)： 1 = 进位，或未借位 0 = 未进位，或借位
0	C	进位 / 借位 (算术运算结果的最高位发生了进位或借位?)： 1 = 进位，或未借位 0 = 未进位，或借位

注：

1. 同其他寄存器一样，STATUS 状态寄存器也可以作为任何指令的目标寄存器。但如果一条影响 Z、HC 或 C 位的指令以 STATUS 作为目标寄存器，那么对这三位的写操作将被禁止，Z、HC 和 C 位只受运算结果影响从而被置 1 或清 0。此时，当执行一条以 STATUS 作为目标寄存器的指令后，STATUS 的内容可能与预期不一致。
2. 建议只使用 BCR、BSR、SWAPR 和 STR 指令来操作 STATUS 寄存器。

16.4. PCL 和 PCLATH

程序区分为 Page0 (2k Words)，Page1 (2k Words)，Page2 (2k Words)。在 Page0 的末尾 (0x7FF) 将翻转到Page1的开头 (0x800)，依此类推，而在Page2的末尾 (0x17FF) 将回滚到Page0的开头 (0x000)。由于指令的寻址宽度为 11 位，只能寻址 2kW。因此对于需要从一个 page 跳转到另一个 page 的 LJUMP 和 LCALL 等长跳转指令，则需设置 PCLATH 以便先移动到目的 Page。从 Page0 移动到 Page1 / Page2 的程序示例如下：

```
LDWI 08                 ;
STR PCLATH              ; PCLATH = 08 (PCLATH = 00 if jump from page1 to page0)
LJUMP label_in_page1    ; Jump to Page1

LDWI 10                 ;
STR PCLATH              ; PCLATH = 10 (PCLATH = 00 if jump from page2 to page0)
LJUMP label_in_page2    ; Jump to Page2
```

程序计数器(PC)为 13 位宽。其低 8 位来自可读写的 PCL 寄存器，高 5 位(PC[12:8])来自 PCLATH，不可直接读写。发生复位时，PC 将被清 0。**图 16-2** 显示了装载 PC 值的两种情形。

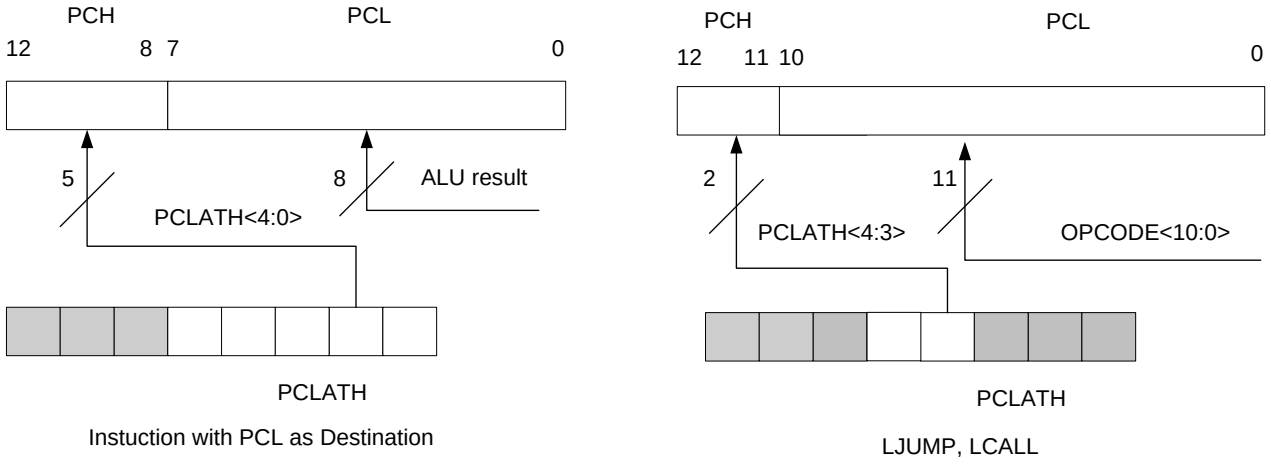


图 16-2 装载 PC 值的不同情况

执行任何以 PCL 寄存器为目标寄存器的指令将同时使程序计数器 PC[12:8]位被 PCLATH 内容所取代。因此可通过将所需的高 5 位先写入 PCLATH 寄存器来更改程序计数器 PC 的全部内容。

计算 LJUMP 指令是通过向程序计数器 PC 加入偏移量(ADDWR PCL)来实现的。因此通过修改 PCL 寄存器来跳转到查找表或程序分支表(计算 LJUMP)时应特别谨慎。假定 PCLATH 设置为表的起始地址，如果表的长度大于 255 条指令，或地址低 8 位在表的中间，计满至 0xFF 返回到 0x00，那么在每次表的起始地址或表内的目标地址发生计满返回时，PCLATH 必须递增。

INDF 不是物理存在的寄存器，对 INDF 进行寻址将产生间接寻址。

任何使用 INDF 寄存器的指令，实际上是对文件选择寄存器(File Select Register, [FSRB8, FSR])所指向的单元进行存取。间接对 INDF 进行读操作将返回 0，间接对 INDF 进行写操作将导致空操作 (可能会影响状态标志位)。

FT61FC6x 系列芯片的 SFR 空间扩展为 1kB。当 AUXPGE = 0 时，间接寻址访问地址为 0x000~0x1FF，当 AUXPGE = 1 时，访问地址为 0x200~0x3FF。

16.4.1. MSCON1 (0x101, 0x301)

Bit	7	6	5	4	3	2	1	0
Name	–	–	–	AUXPGX	LVRDEB	LVRCKS	AUXPGE	HIRCM
Type	RO	RO	RW	RO	RW	RW	RW	RW
Reset	0	0	0	0	1	0	0	0

Bit	Name	Function
7:5	N/A	保留位
4	AUXPGX [1]	AUXPGE 影子寄存器
3	LVRDEB [2]	LVR 消抖： 1 = 使能 0 = 关闭
2	LVRCKS [2]	LVR 消抖时钟： 1 = HIRC 0 = LIRC
1	AUXPGE [1]	SFR BANK 间接或直接寻址访问： 1 = BANK4 ~ 7 0 = BANK0 ~ 3
0	HIRCM	HIRC 频率选择： 1 = 13.5 MHz 0 = 16 MHz

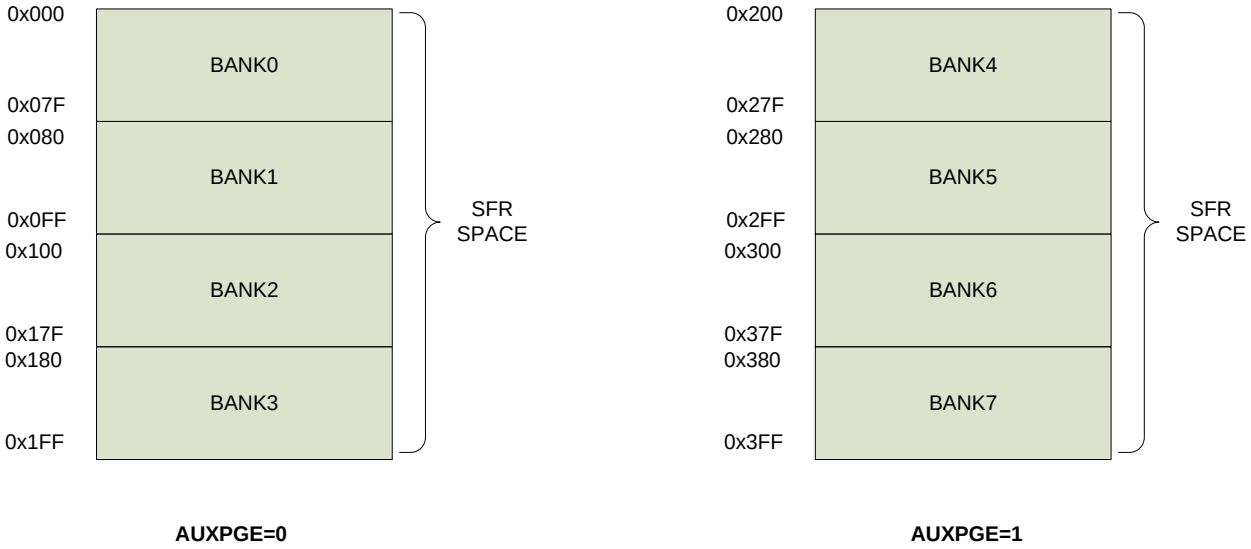


图 16-3 间接寻址

[1] 进入中断时，AUXPGE 的值保存到 AUXPGX，同时 AUXPGE 清零；退出中断时，AUXPGX 的值恢复到 AUXPGE。

[2] 只受上电复位影响，其它复位不起作用。

17 电气特性

17.1. 极限参数

工作环境温度等级 3…… $^{-}40 – ^{+}85°C$
工作环境温度等级 2…… $^{-}40 – ^{+}105°C$
工作环境温度等级 1…… $^{-}40 – ^{+}125°C$
存储温度…… $^{-}40 – ^{+}125°C$
结工作温度范围(Tj)…… $^{-}40 – ^{+}150°C$
电源电压…… V_{SS}-0.3V – V_{SS}+6.0V
端口输入电压…… V_{SS}-0.3V – V_{DD}+0.3V

注：

1. 超过上述“极限参数”所规定的范围，可能会对芯片造成永久性损坏。
2. 除非另作说明，所有特性值的测试条件为 25°C, V_{DD} =1.9 – 5.5V。
3. 本节所示的值和范围基于特性值，并非最终出货的标准值。
4. 除非另作说明，生产测试温度为 25°C。由于高温筛选不是常规测试流程，超出上述工作环境温度时，芯片的某些性能参数将不能保证。
5. 150°C 下，未经压力测试的典型数据保持时间大于 10 年。

17.2. 工作特性

参数		最小值	典型值	最大值	单位	条件
Fsys (SysClk)	2T/4T	–	–	8	MHz	-40 – 85°C, V_{DD} = 1.9 – 5.5V
		–	–	16	MHz	-40 – 85°C, V_{DD} = 2.7 – 5.5V
指令周期 ($T_{INSTRCLK}$)	2T	–	125	–	ns	SysClk = HIRC
	4T	–	250	–	ns	
	2T	–	61	–	μs	SysClk = LIRC
	4T	–	122	–	μs	
T0CKI 高或低脉冲宽度		0.5 * T_{T0CK} + 20	–	–	ns	无预分频
		10	–	–	ns	有预分频
T0CKI 输入周期		Max. 20 and (T_{T0CK}+40)/N	–	–	ns	N = 1, 2, 4, …, 256 (预分频值)
上电复位保持时间 (T_{DRH})		–	8	–	ms	25°C, PWRT disable
外部复位脉冲宽度 (T_{MCLRB})		2000	–	–	ns	25°C
WDT 周期 (T_{WDT})		–	1	–	ms	后分频比 = 1:32

注： T_{T0CK} 是指由 T0CKSRC 所选的时钟周期。

17.3. POR, LVR, LVD

上电复位 (POR)

参数	最小值	典型值	最大值	单位	条件
I_{POR} 工作电流	–	0.14	–	μA	25°C , V_{DD} = 3.3V
V_{POR}	–	1.60	–	V	25°C

低电压复位 (LVR)

参数	最小值	典型值	最大值	单位	条件
I_{LVR} 工作电流	–	15.0	–	μA	25°C, V_{DD} = 3.3V
V_{LVR}，LVR 阈值	1.94	2.0	2.06	V	25°C
	2.13	2.2	2.27		
	2.42	2.5	2.58		
	2.72	2.8	2.88		
	3.01	3.1	3.19		
	3.49	3.6	3.71		
	3.98	4.1	4.22		
LVR delay	94	–	125	μs	25°C, V_{DD} = 1.9 – 5.5V

低电压检测 (LVD)

参数	最小值	典型值	最大值	单位	条件
I_{LVD} 工作电流	–	20.0	–	μA	25°C, V_{DD} = 3.3V
V_{LVD}，LVD 阈值	1.16	1.2	1.24	V	25°C
	1.94	2.0	2.06		
	2.33	2.4	2.47		
	2.62	2.7	2.78		
	2.91	3.0	3.09		
	3.20	3.3	3.40		
	3.49	3.6	3.71		
	3.88	4.0	4.12		
LVD delay	188	–	250	μs	25°C, V_{DD} = 1.9 – 5.5V

17.4. I/O 端口电路

参数		最小值	典型值	最大值	单位	条件
V_{IL}		0	–	0.3* V_{DD}	V	
V_{IH}		0.7* V_{DD}	–	V_{DD}	V	
漏电流		-1	–	1	μA	V_{DD} = 5V
源电流(source)	L0	–	-3	–	mA	25°C, V_{DD} = 5V, V_{OH}= 4.5V
	L1	–	-5	–		
	L2	–	-20	–		
	L0	–	-9	–	mA	25°C, V_{DD} = 5V, V_{OH}= 3.5V
	L1	–	-13	–		
	L2	–	-50	–		
灌电流(sink)	L0	–	40	–	mA	25°C, V_{DD} = 5V, V_{OL}= 0.5V
	L1	–	55	–		
	L0	–	85	–	mA	25°C, V_{DD} = 5V, V_{OL}= 1.5V
	L1	–	105	–		
上拉电阻		–	18	–	kΩ	
下拉电阻		–	18	–		
上拉电阻		–	100	–	kΩ	同时使能上拉和下拉
下拉电阻		–	100	–		

17.5. 工作电流(IDD)

参数	SysClk	典型值 @V_{DD}			单位
		2.0V	3.0V	5.5V	
正常模式 (2T) - I_{DD}	16 MHz	–	1.870	2.035	mA
	8 MHz	0.800	1.258	1.363	
	4 MHz	0.601	0.871	0.922	
	2 MHz	0.430	0.532	0.572	
	1 MHz	0.292	0.368	0.394	
	500kHz	0.220	0.282	0.302	
	250kHz	0.186	0.237	0.256	
	32 kHz	0.027	0.033	0.039	
PROM 低功耗模式 (2T) - I_{DD}	32 kHz	0.009	0.010	0.015	
Sleep 模式 (~~WDT OFF~~, ~~LVR OFF~~), I_{SB}	–	0.066	0.071	0.115	μA
Sleep 模式 (WDT ON, ~~LVR OFF~~)	32 kHz	1.070	1.423	2.038	
Sleep 模式 (~~WDT OFF~~, LVR ON)	–	12.46	15.04	20.95	
Sleep 模式 (WDT ON, LVR ON)	32 kHz	13.47	16.39	22.87	
Sleep 模式 (~~WDT OFF~~, ~~LVR OFF~~, LVD ON)	–	15.21	15.73	16.34	

注： Sleep 模式 I_{SB} 的测试条件为所有 I/O 设置成输入模式并外部下拉到 GND。

17.6. 内部振荡器

内部低频振荡器 (LIRC)

测试条件为 LIRC 选择 32 kHz (LFMOD = 0)。

参数	最小值	典型值	最大值	单位	条件
振荡频率	30.4	32	33.6	kHz	25 C, V_{DD} = 2.5V
随温度变化范围	-3.0%	–	1.0%	–	-40 – 85°C, V_{DD} = 2.5V
随电源电压变化范围	-2.0%	–	1.0%	–	25°C, V_{DD} = 1.9 – 5.5V
I_{LIRC} 工作电流	–	1.4	–	μA	25°C, V_{DD} = 3.0V
启动时间	–	4.6	–	μs	25°C, V_{DD} = 3.0V

内置高频振荡器(HIRC)

高频振荡器分为两个模块：13.56MHz、16MHz。

参数	最小值	典型值	最大值	单位	条件
13.56M 校准范围	13.42	13.56	13.69	MHz	25°C, V_{DD} = 2.5V
13.56M 随温度变化范围	-2.0%	–	1.0%	–	-40 – 85°C, V_{DD} = 2.5V
16M 校准范围	15.84	16	16.16	MHz	25°C, V_{DD} = 2.5V
16M 随温度变化范围	-2.0%	–	1.0%	–	-40 – 85°C, V_{DD} = 2.5V
随电源电压变化范围	-0.5%	–	0.5%	–	25°C, V_{DD} = 1.9 – 5.5V
I_{HIRC} 工作电流	–	180	–	μA	25°C, V_{DD} = 3.0V
启动时间	–	2.5	–	μs	25°C, V_{DD} = 3.0V

17.7. ADC(12bit) 和 ADC VREF

ADC (12bit)

参数	最小值	典型值	最大值	单位	条件
ADC 工作电压 V_{DD}	2.7	–	5.5	V	
ADC 工作电流 I_{VDD}	–	120	–	μA	V_{REF}+ = V_{DD} = 2.7V
	–	125	–	μA	V_{REF}+ = V_{DD} = 3.0V
	–	155	–	μA	V_{REF}+ = V_{DD} = 5.5V
模拟输入电压 V_{AIN}	V_{REF}–	–	V_{REF}+	V	
外部参考电压 V_{REF}	–	–	V_{DD}	V	
分辨率	–	–	12	bit	
积分误差 E_{IL}	–	±3.0	–	LSB	V_{REF}+ = V_{DD} = 5.0V, V_{REF}– = GND, F_{ADCLK} = 250kHz
微分误差 E_{DL}	–	±1.0	–	LSB	
偏移误差 E_{OFF}	–	±2.0	–	LSB	V_{REF}+ = V_{DD} = 5.0V, V_{REF}– = GND, F_{ADCLK} = 250kHz
增益误差 E_{GN}	–	±2.0	–	LSB	
转换时钟周期 T_{AD}	–	2	–	μs	
转换时钟数	–	16	–	T_{AD}	
稳定时间 (T_{ST})	–	15	–	μs	
采样时间 (T_{ACQ})	–	≥ 2	–	μs	
模拟电压源阻抗 (ZAI)	–	–	10	kΩ	(推荐)

ADC V_{REF}

参数		最小值	典型值	最大值	单位	条件
内部参考电压 $V_{ADC–REF}$	$V_{ADC–REF}$ = 0.5V	0.492	0.5	0.508	V	
	$V_{ADC–REF}$ = 2.0V	1.990	2	2.010	V	
	$V_{ADC–REF}$ = 3.0V	2.985	3	3.015	V	
稳定时间 T_{VRINT}	$V_{ADC–REF}$ = 0.5V	–	400	–	μs	
		–	600	–	μs	C_{EXT} = 1μF
	$V_{ADC–REF}$ = 2.0V	–	450	–	μs	
		–	800	–	μs	C_{EXT} = 1μF
	$V_{ADC–REF}$ = 3.0V	–	450	–	μs	
		–	1200	–	μs	C_{EXT} = 1μF

注：

1. 除非另作说明，典型值的测试条件为 25°C, V_{DD} = 5.0V。
2. C_{EXT} 为内部参考电压 $V_{ADC–REF}$ 所接的外部电容 (当 ADPREF 配置成 10 时)。

微分误差 DNL

V_{REF+} / F_{ADCLK}	typical DNL Error (LSB) @高速性能模式				typical DNL Error (LSB) @普通性能模式			
	0.5	2	3	V_{DD}	0.5	2	3	V_{DD}
250 kHz	–	–	–	–	±2.0	±1.0	±1.0	±1.0
500 kHz	–	–	–	–	±2.0	±1.0	±1.0	±1.0
1 MHz	±2.0	±1.0	±1.0	±1.0	±2.0	±1.0	±1.0	±1.0
2 MHz	±3.0	±1.0	±1.0	±1.0	–	±3.0	±2.0	±2.0
4 MHz	–	±2.0	±2.0	±2.0	–	–	–	±5.0

积分误差 INL

V_{REF+} / F_{ADCLK}	typical INL Error (LSB) @高速性能模式				typical INL Error (LSB) @普通性能模式			
	0.5	2	3	V_{DD}	0.5	2	3	V_{DD}
250 kHz	–	–	–	–	±3.0	±3.0	±3.0	±3.0
500 kHz	–	–	–	–	±3.0	±3.0	±3.0	±3.0
1 MHz	±3.0	±2.0	±2.0	±2.0	±3.0	±3.0	±3.0	±3.0
2 MHz	±3.0	±2.0	±2.0	±2.0	–	±3.0	±3.0	±3.0
4 MHz	–	±4.0	±4.0	±3.0	–	–	–	±6.0

17.8. Program 和 Data EEPROM

参数		最小值	典型值	最大值	单位	条件
$V_{DD-READ}$	Program / Data EE 读电压	V_{POR}	–	5.5	V	-40 – 85 / 105 °C
$V_{DD-WRITE}$	Program EE 写电压	2.5	–	5.5	V	-40 – 85 / 105 °C
	Data EE 写电压	1.9	–	5.5		
N_{END}	Program EE 擦/写次数	100 k	–	–	cycle	25 °C
		40 k	–	–		85 °C
		10 k	–	–		105 °C
	Data EE 擦/写次数	1,000 k	–	–		25 °C
		400 k	–	–		85 °C
		100 k	–	–		105 °C
T_{RET}	Program EE 数据保持	20	–	–	年	1k 次擦写后 @ 85 °C
		10	–	–		1k 次擦写后 @ 105 °C
	Data EE 数据保持	20	–	–		10k 次擦写后 @ 85 °C
		10	–	–		10k 次擦写后 @ 105 °C
T_{WRITE}	Data EE 写时间	–	3.0	–	ms	使能自动擦除
		–	1.0	–		关闭自动擦除

17.9. EMC 特性

ESD

参数		最小值	典型值	最大值	单位	条件
V_{ESD}	HBM	5000	–	–	V	MIL-STD-883H Method 3015.8

Latch-up

参数	最小值	典型值	最大值	单位	条件
LU, static latch-up	200	–	–	mA	EIA/JESD 78

EFT

参数	最小值	典型值	最大值	单位	条件
V_{EFT}	5.5	–	–	kV	V_{DD} (5V) 与 GND 间的电容：1μF

18 特性图

注： 特性图基于特性值，仅供参考，未经生产测试。

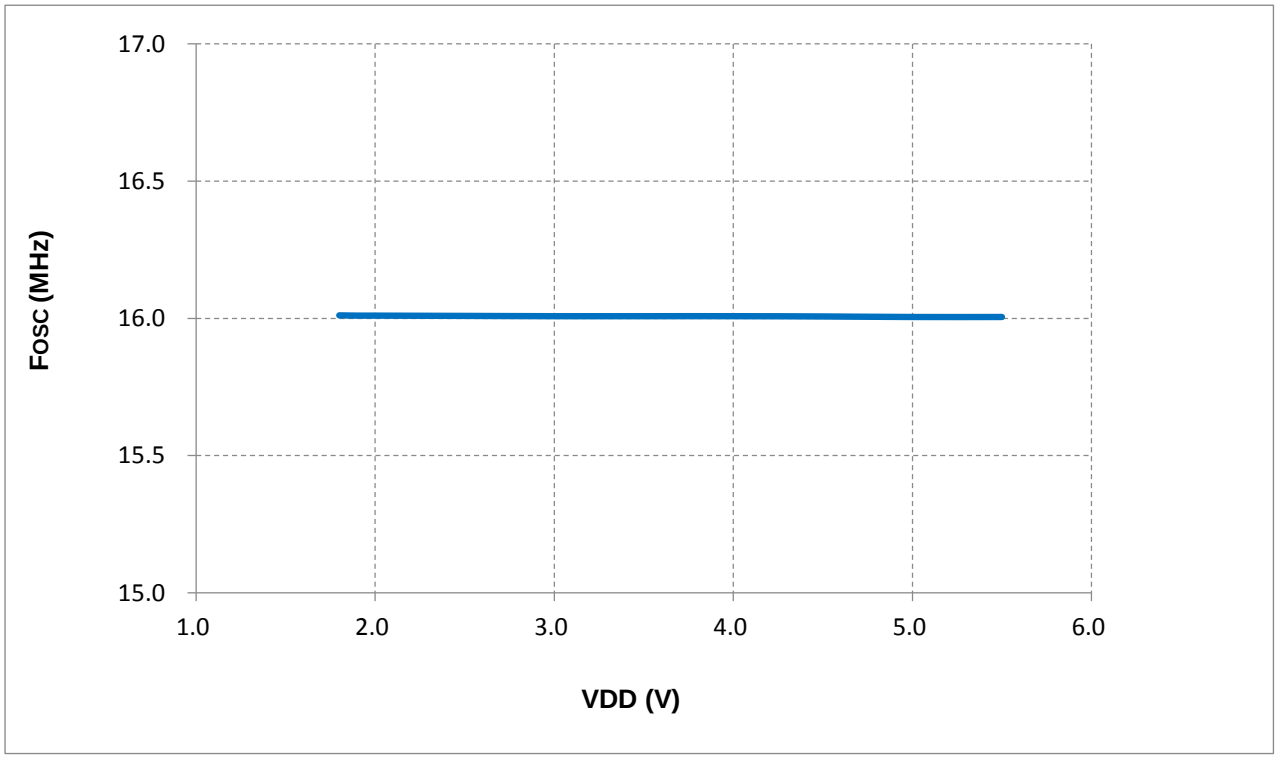


图 18-1 HIRC (16M) vs.V_{DD} (T_A = 25°C)

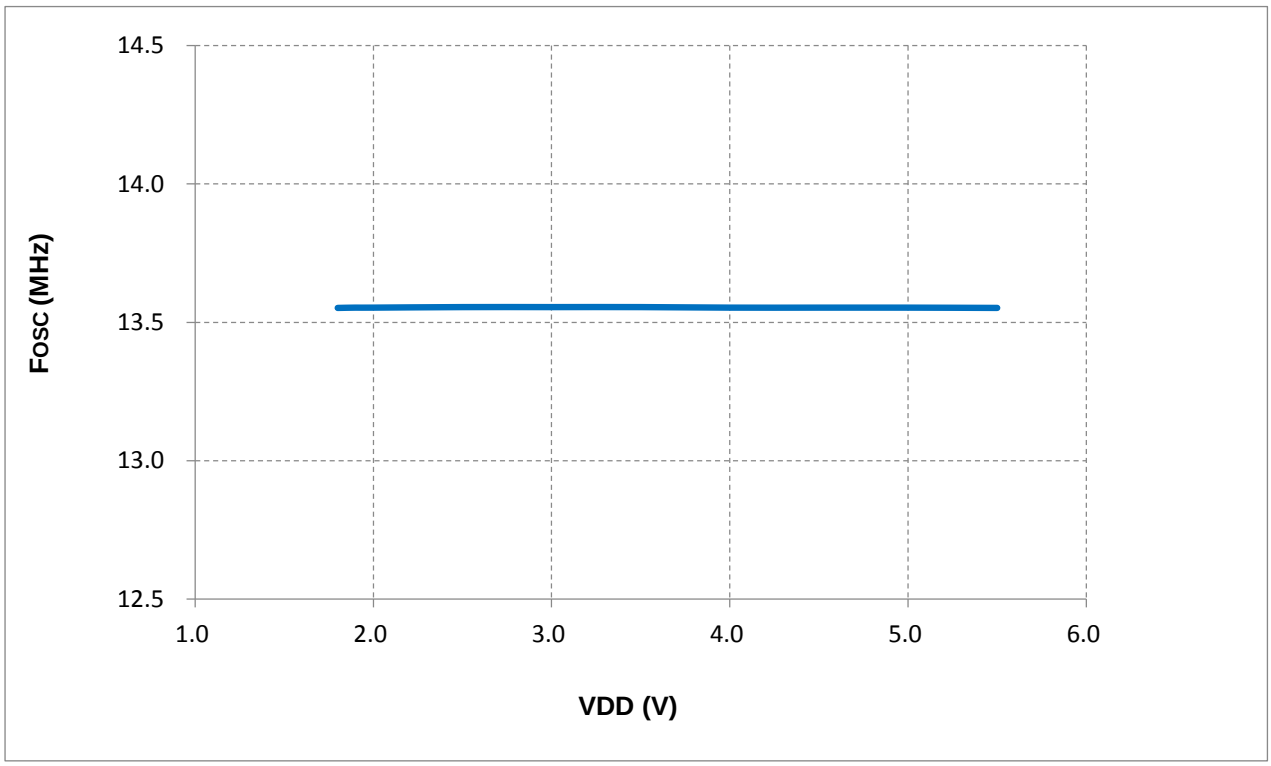


图 18-2 HIRC (13.56M) vs.V_{DD} (T_A = 25°C)

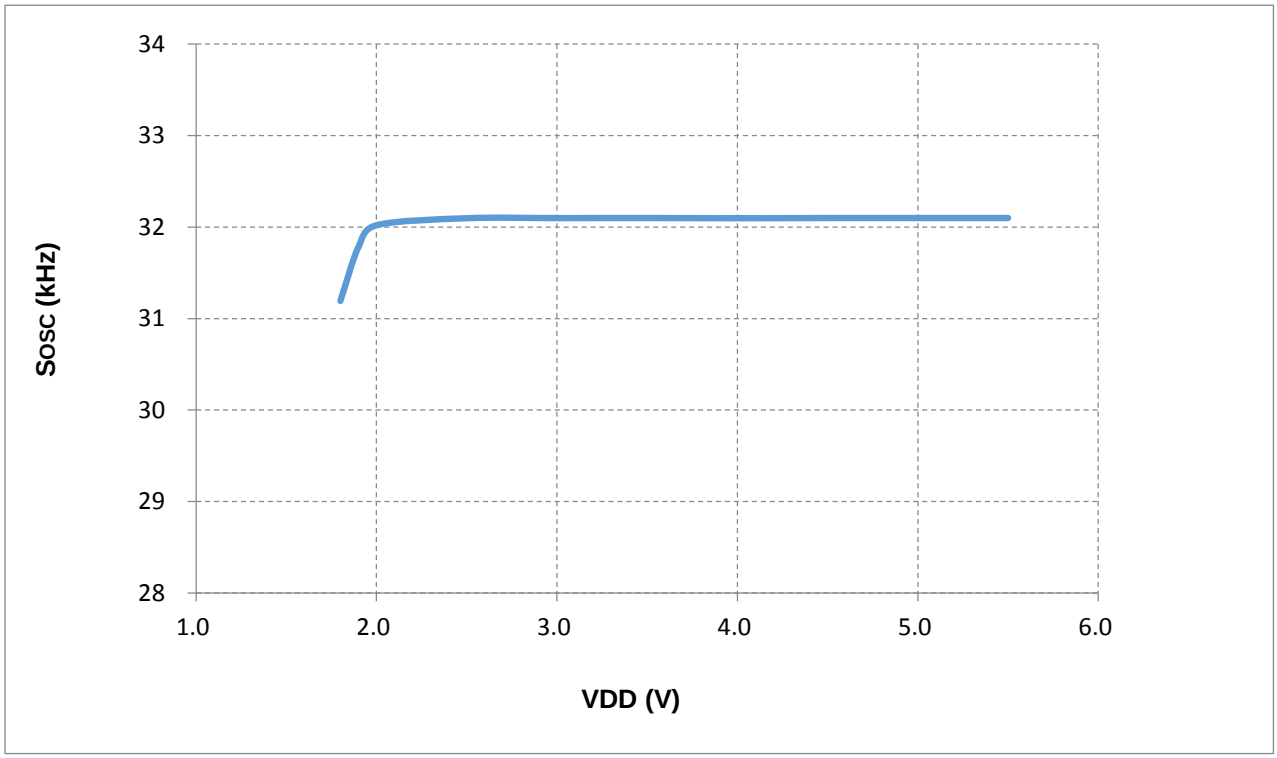


图 18-3 LIRC vs. V_{DD} (T_A = 25°C)

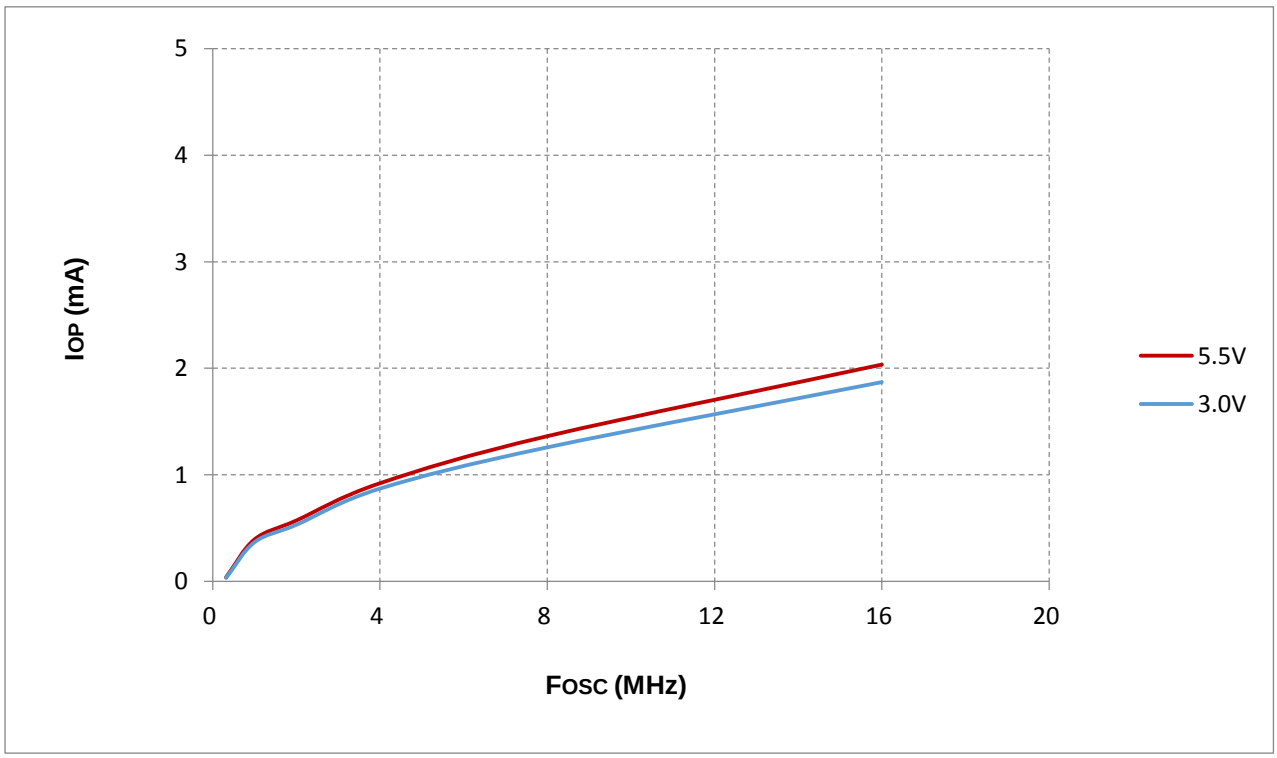


图 18-4 I_{DD} vs. Frequency (2T, T_A = 25°C)

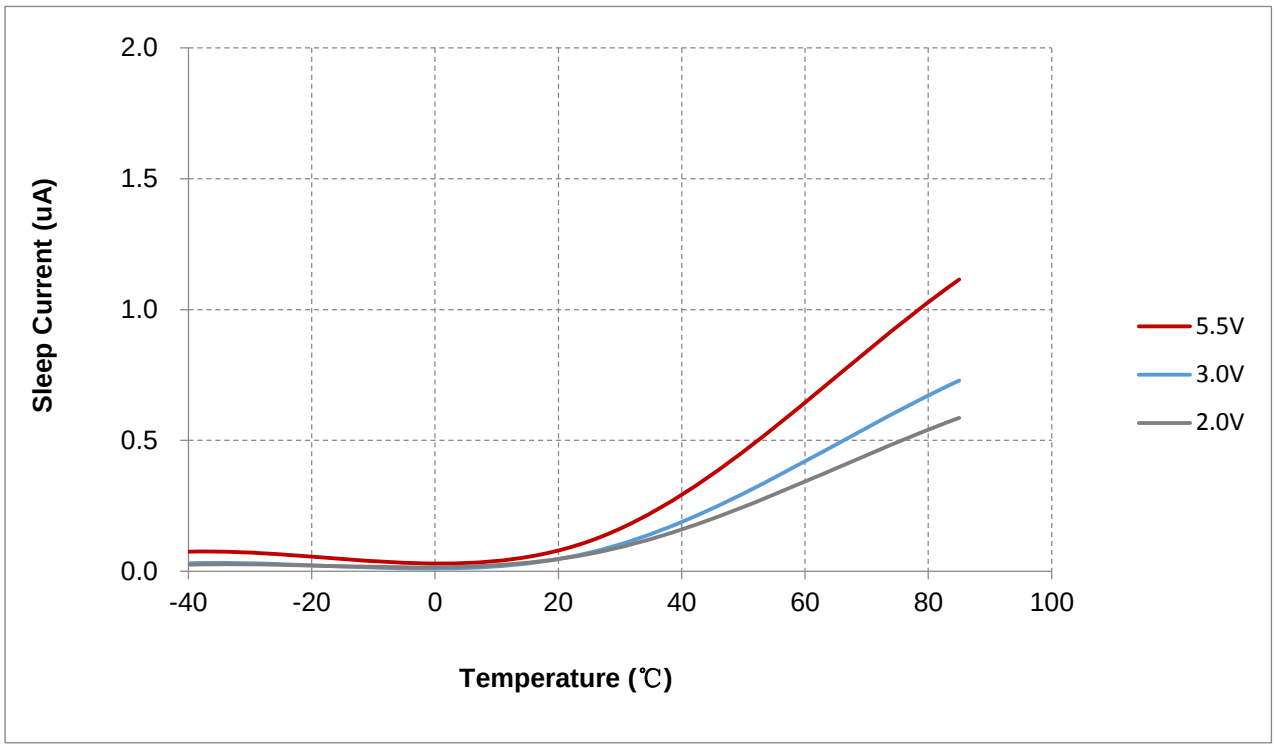


图 18-5 Sleep Current (I_{SB}) vs. Temperature

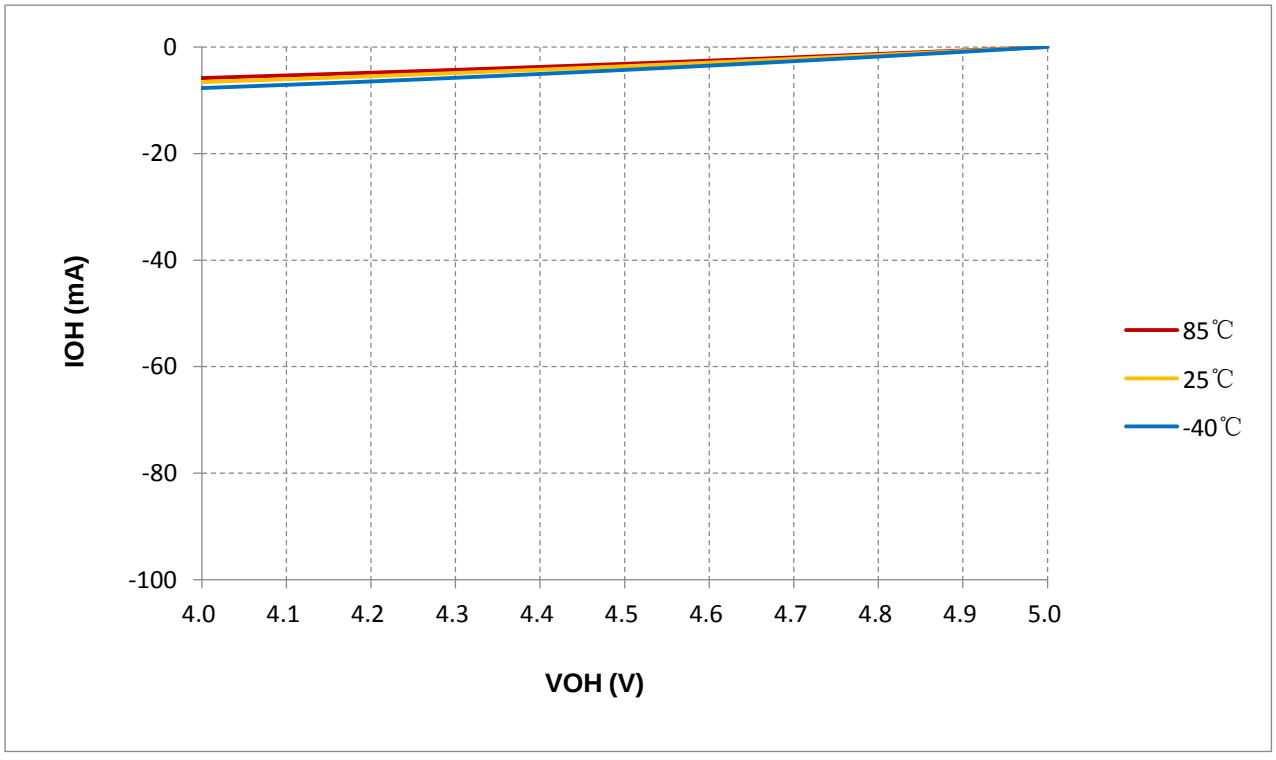


图 18-6 I_{OH} vs. V_{OH} @L0 = -3mA, V_{DD} = 5V

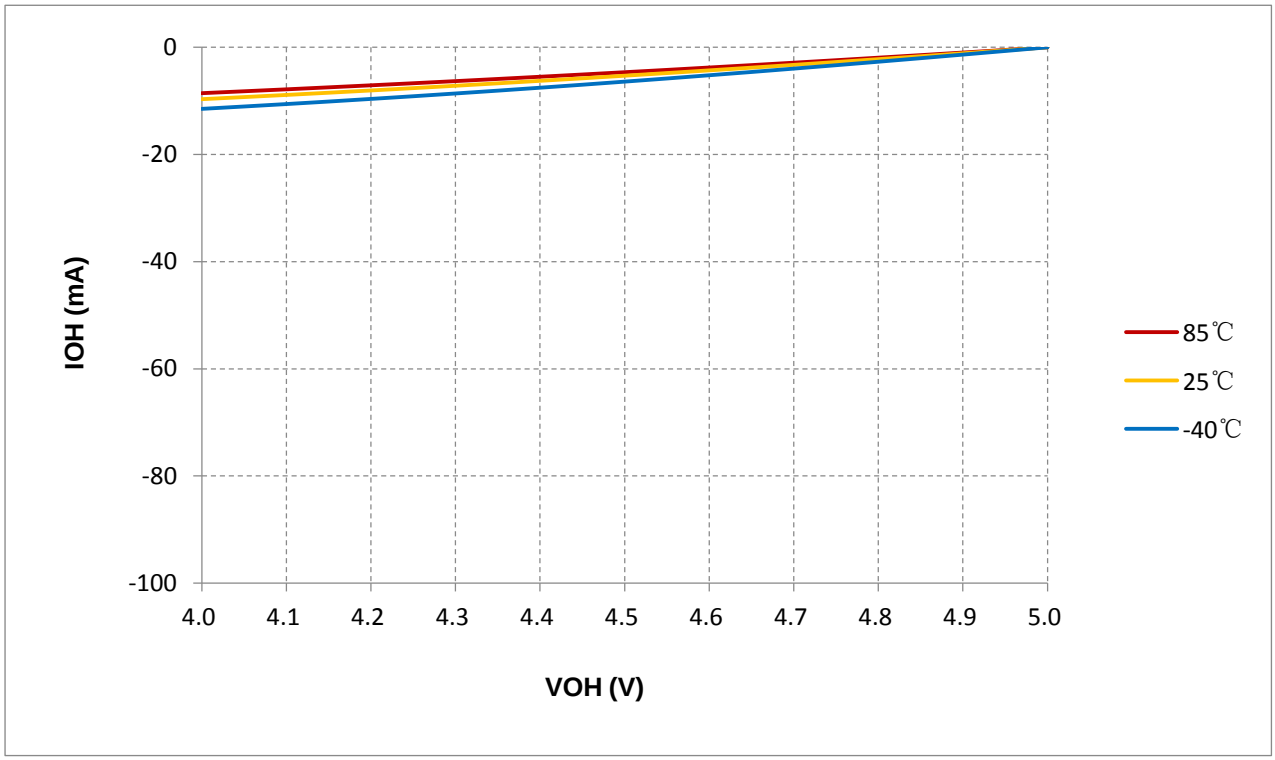


图 18-7 I_{OH} vs. V_{OH} @L1 = -5mA, V_{DD} = 5V

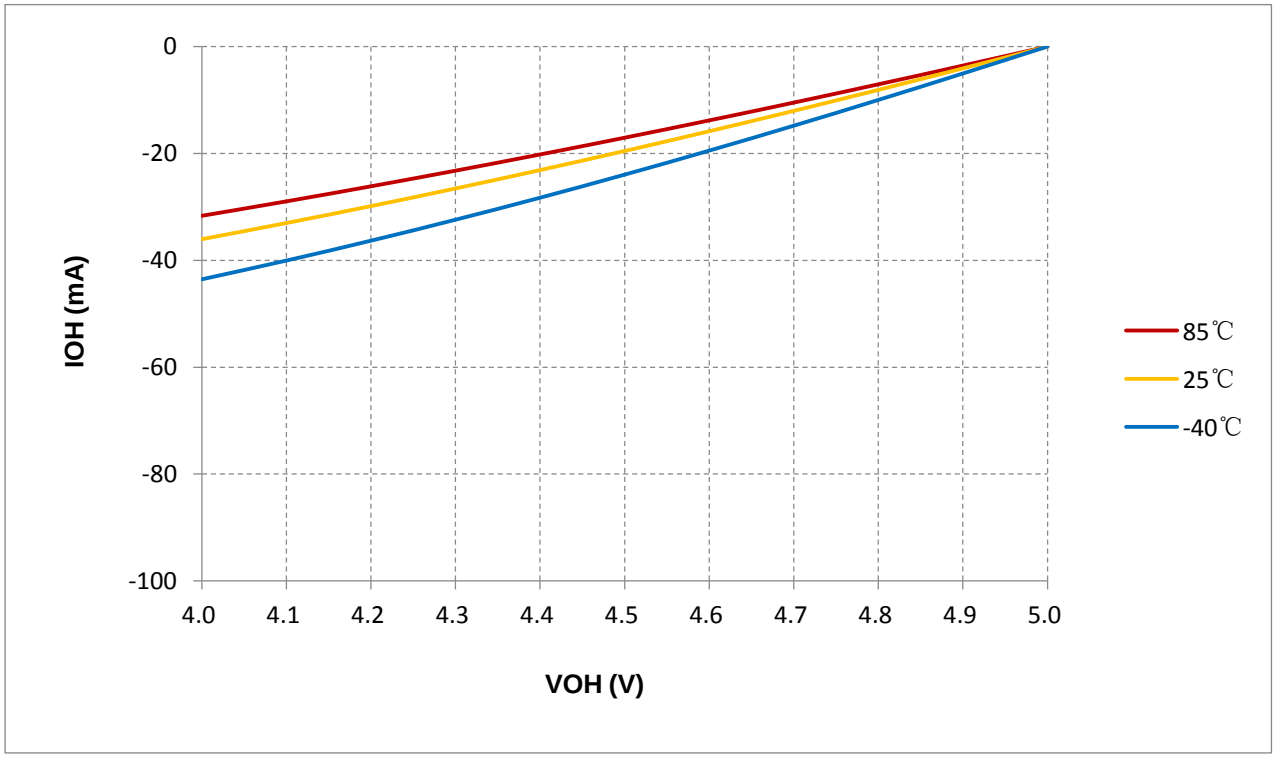


图 18-8 I_{OH} vs. V_{OH} @L2 = -20mA, V_{DD} = 5V

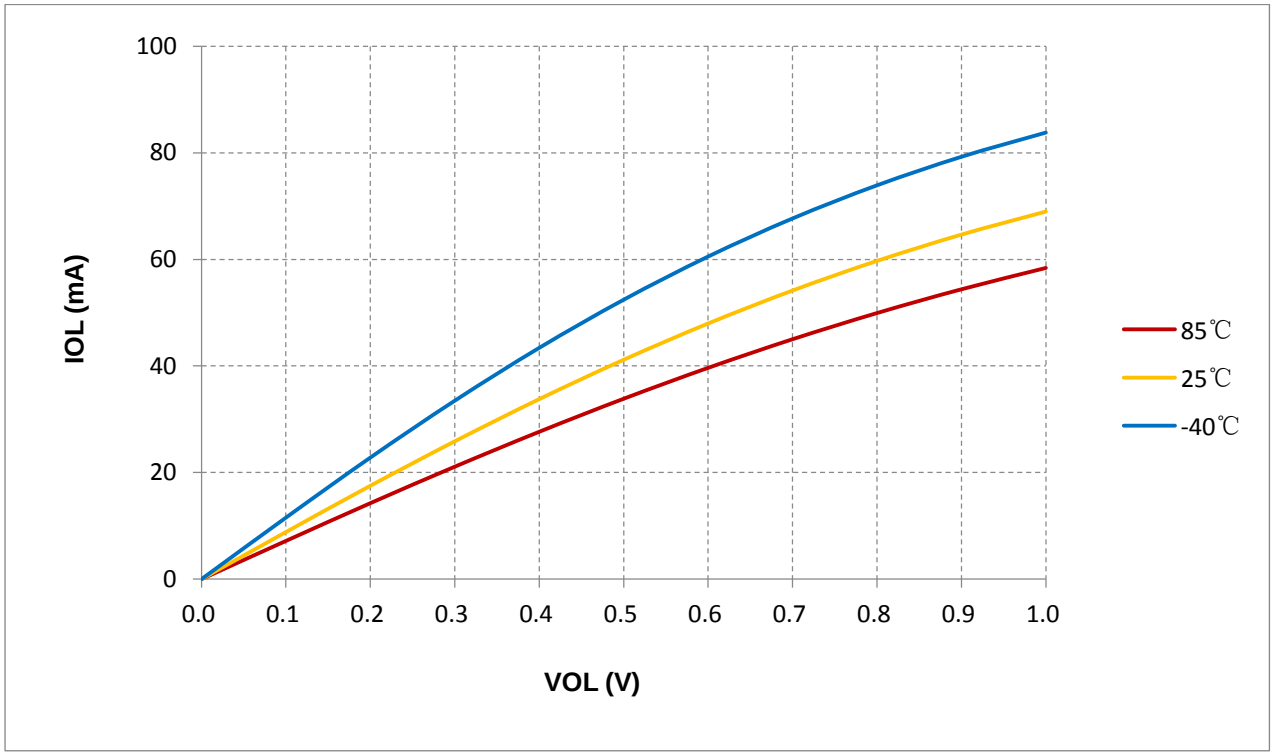


图 18-9 I_{OL} vs. V_{OL} @L0 = 40mA, V_{DD} = 5V

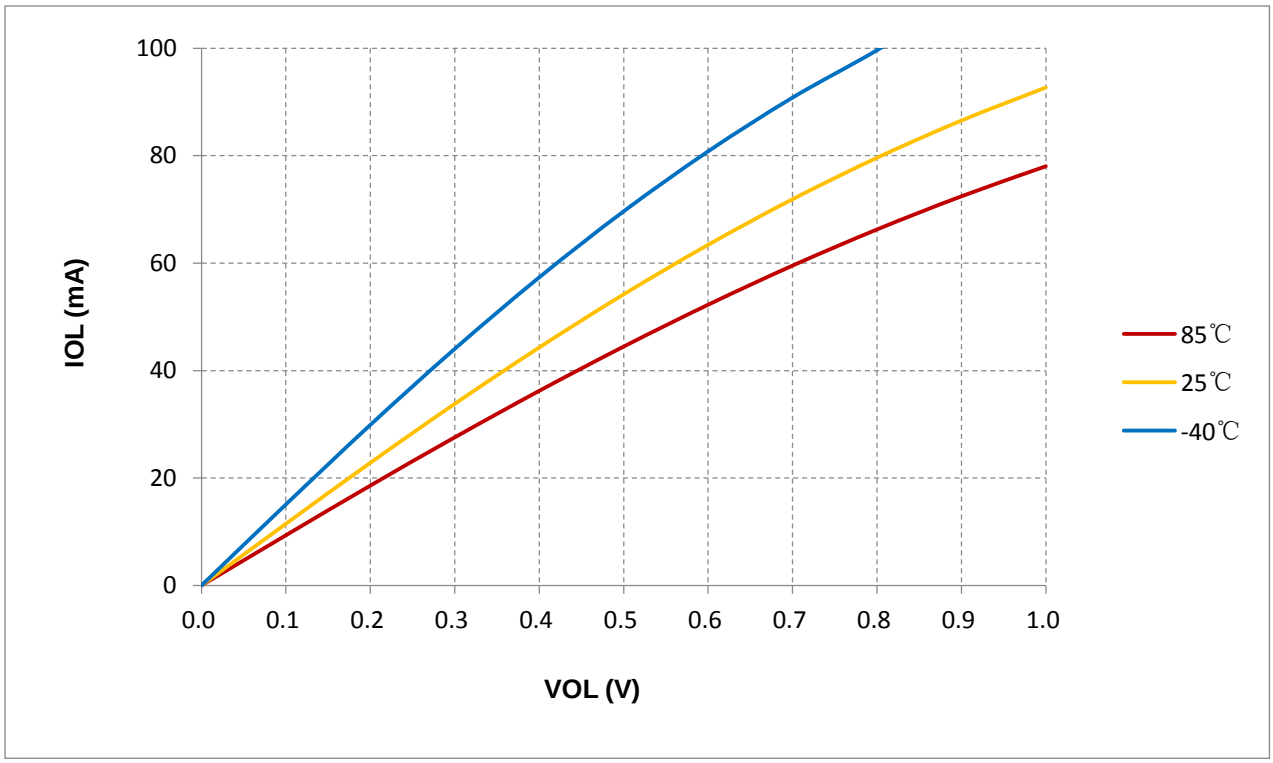
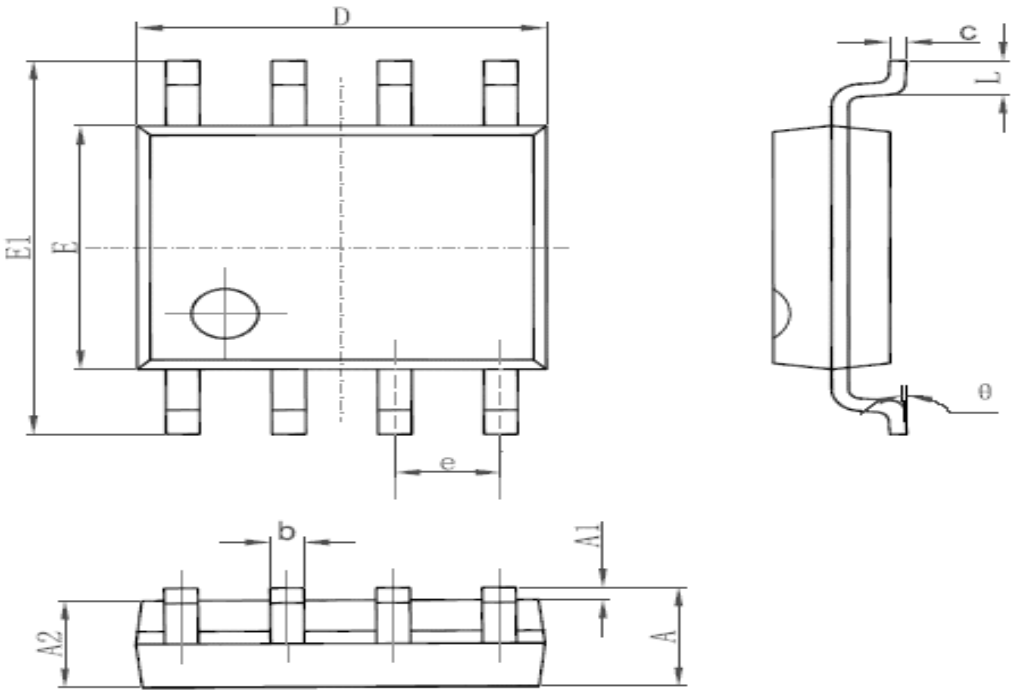


图 18-10 I_{OL} vs. V_{OL} @L1 = 55mA, V_{DD} = 5V

19 芯片封装信息

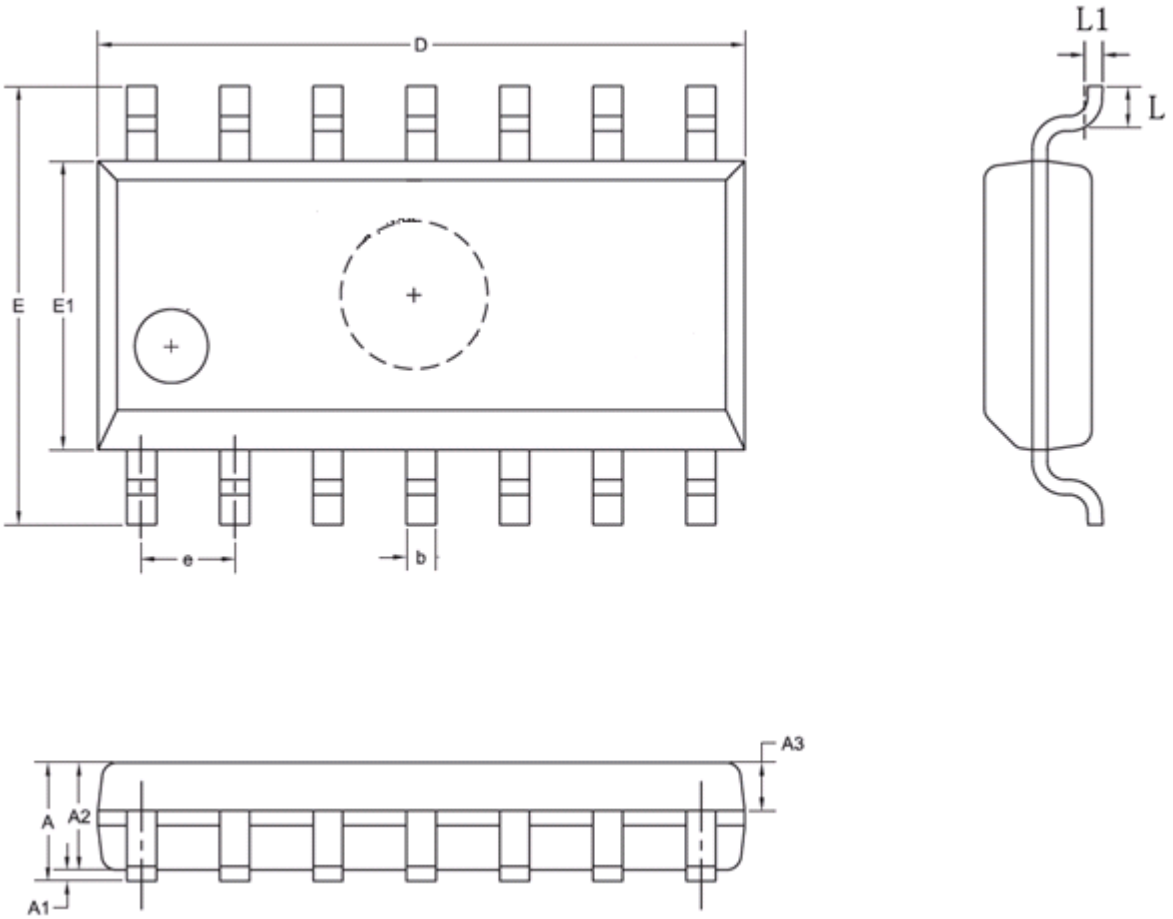
本芯片的封装形式有 SOP8，SOP14，SOP16，SOP20，TSSOP20，QFN20，TSSOP24，SOP28 和 TSSOP28 封装。具体封装尺寸信息如下：

SOP8



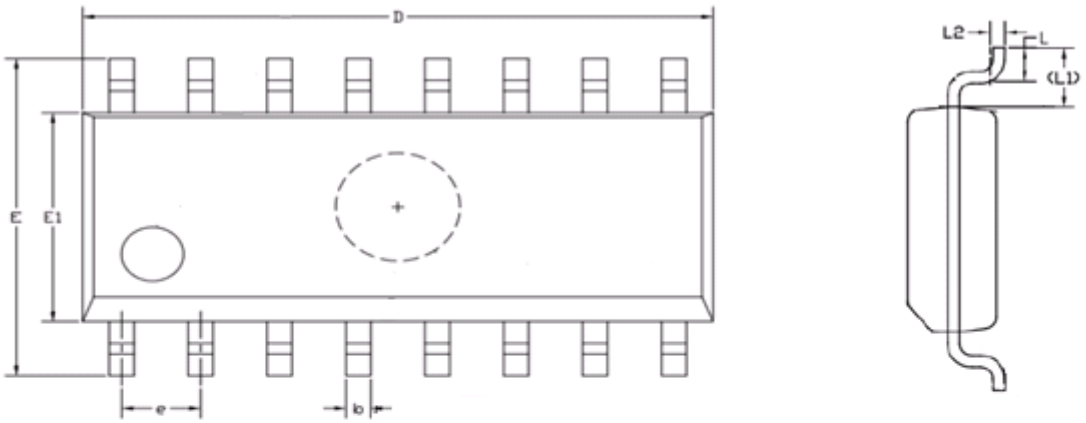
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 BSC		0.050 BSC	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

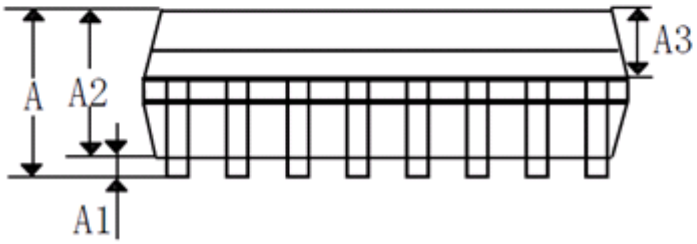
SOP14



Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	-	1.750	-	0.069
A1	0.050	0.250	0.002	0.010
A2	1.250	1.550	0.049	0.061
A3	0.600	0.700	0.024	0.028
b	0.310	0.510	0.012	0.020
D	8.500	8.760	0.335	0.345
E	5.800	6.200	0.228	0.244
E1	3.800	4.000	0.150	0.157
e	1.270 BSC		0.050 BSC	
L	0.400	1.270	0.016	0.050
L1	0.250 BSC		0.010 BSC	

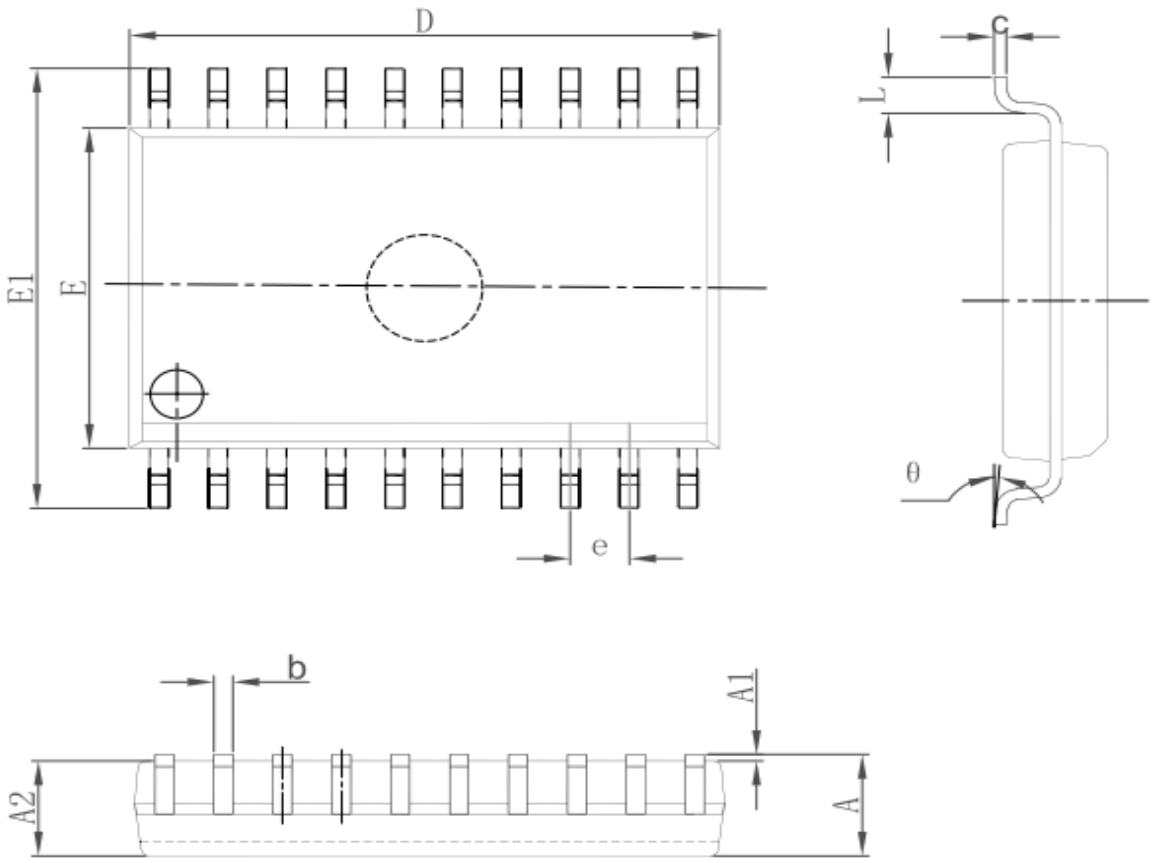
SOP16





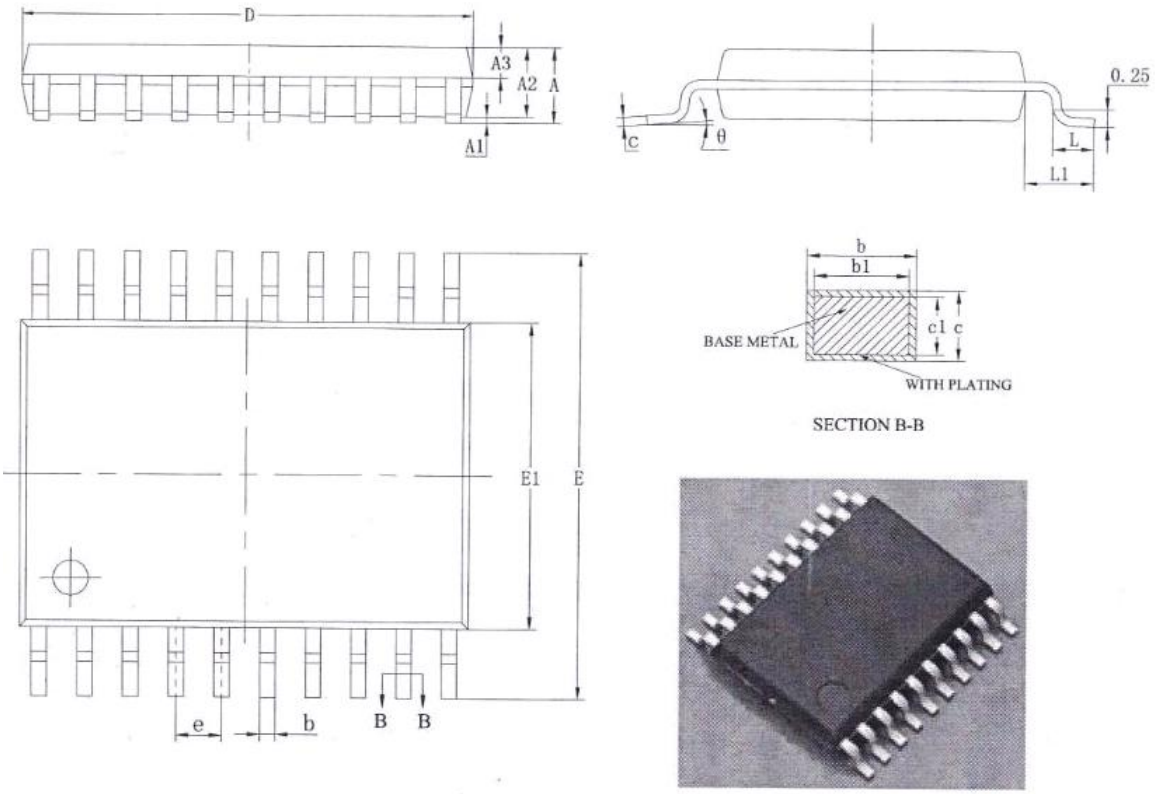
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	–	1.750	–	0.069
A1	0.100	0.250	0.004	0.010
A2	1.250	1.550	0.049	0.061
A3	0.550	0.750	0.022	0.030
D	9.800	10.160	0.386	0.400
E	5.800	6.200	0.228	0.244
E1	3.800	4.000	0.150	0.157
b	0.310	0.510	0.012	0.020
e	1.270 BSC		0.050 BSC	
L	0.400	1.270	0.016	0.050
L1	1.04 REF		0.04 REF	
L2	0.25 BSC		0.01 BSC	

SOP20



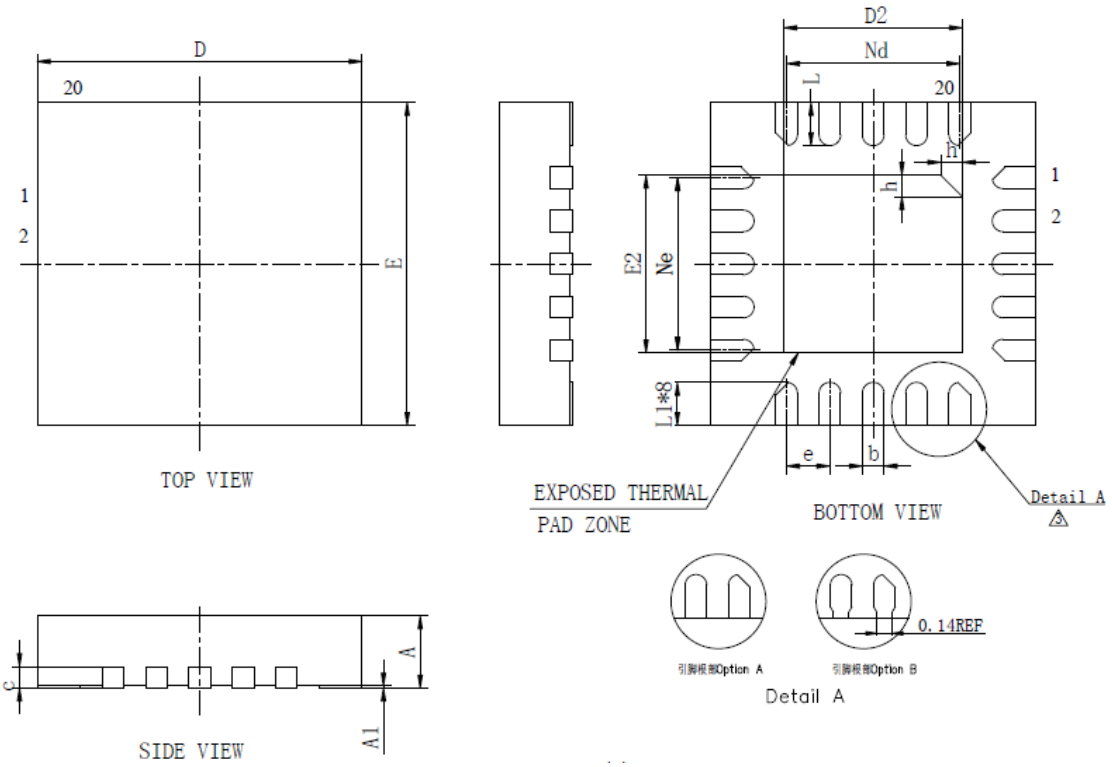
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	2.350	2.650	0.093	0.104
A1	0.100	0.300	0.004	0.012
A2	2.100	2.500	0.083	0.098
b	0.330	0.510	0.013	0.020
c	0.204	0.330	0.008	0.013
D	12.520	13.000	0.493	0.512
E	7.400	7.600	0.291	0.299
E1	10.210	10.610	0.402	0.418
e	1.270 BSC		0.050 BSC	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

TSSOP20



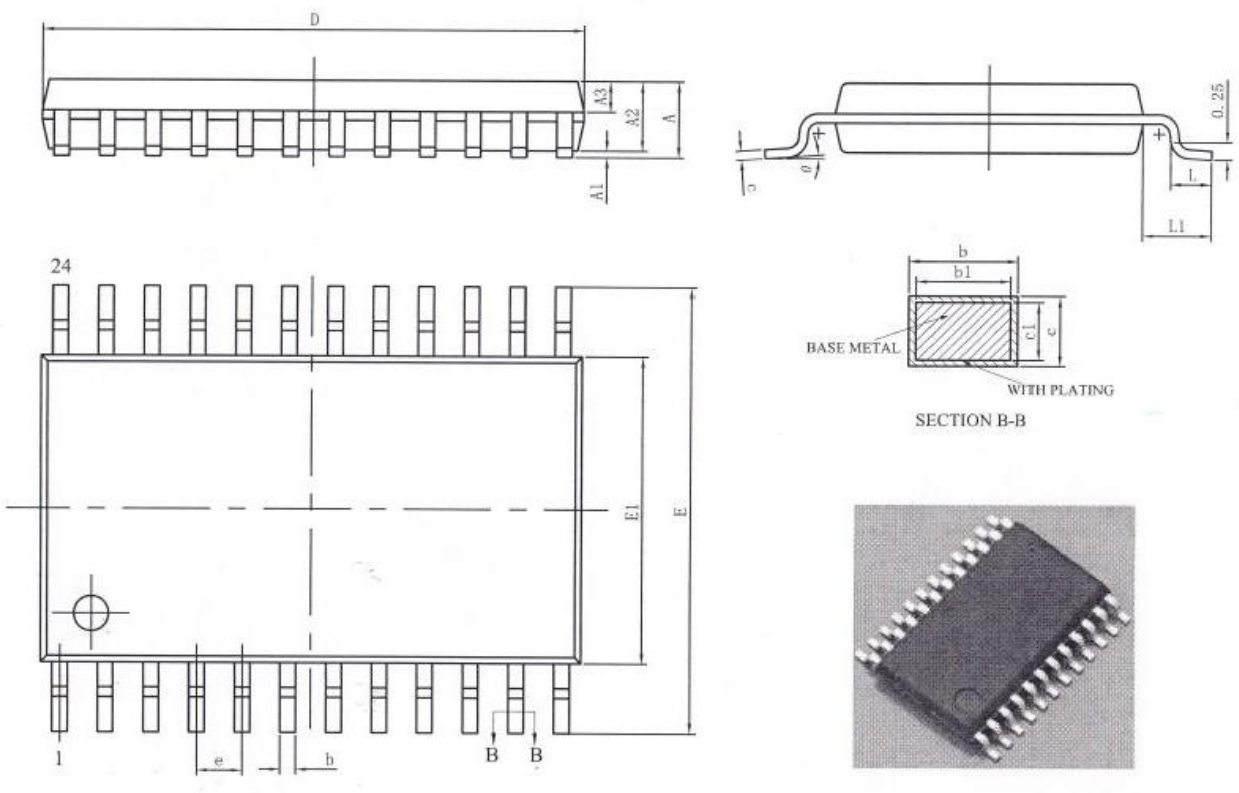
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	–	1.20	–	0.472
A1	0.05	0.15	0.020	0.059
A2	0.80	1.05	0.315	0.413
A3	0.39	0.49	0.154	0.193
b	0.20	0.28	0.079	0.110
b1	0.19	0.25	0.075	0.098
c	0.13	0.17	0.051	0.067
c1	0.12	0.14	0.047	0.055
D	6.40	6.60	2.520	2.598
E1	4.30	4.50	1.693	1.771
E	6.20	6.60	2.441	2.598
e	0.65 BSC		0.256 BSC	
L	0.45	0.75	0.177	0.295
L1	1.00 REF		0.394 REF	
θ	0°	8°	0°	8°

QFN20



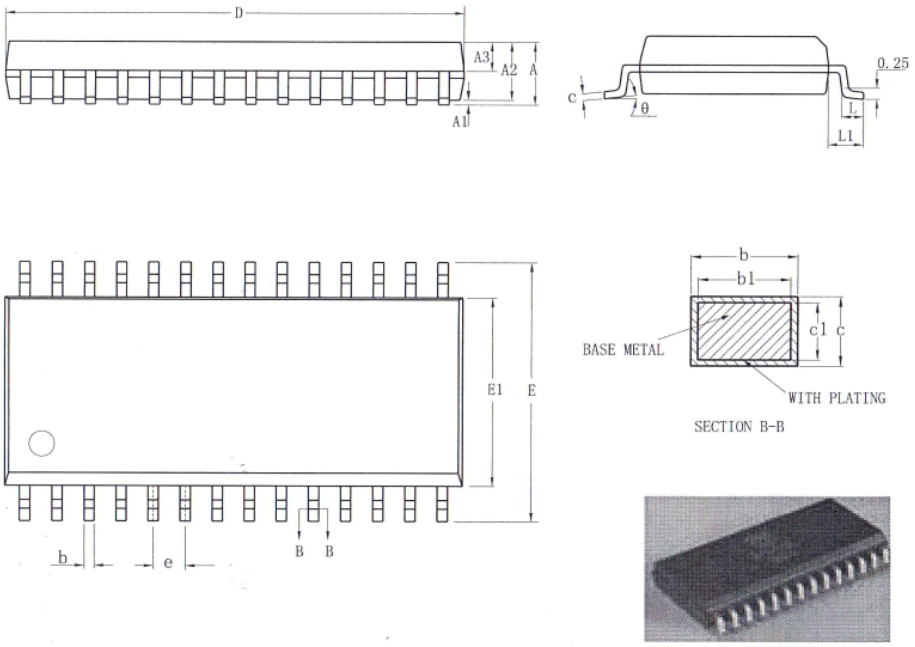
Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	0.700	0.800	0.028	0.031
A1	−	0.050	−	0.002
b	0.150	0.250	0.006	0.010
c	0.150	0.250	0.006	0.010
D	2.900	3.100	0.114	0.122
D2	1.400	1.750	0.055	0.069
e	0.40 BSC		0.016 BSC	
Ne	1.60 BSC		0.063 BSC	
Nd	1.60 BSC		0.063 BSC	
E	2.900	3.100	0.114	0.122
E2	1.400	1.750	0.055	0.069
L	0.324	0.476	0.013	0.019
h	0.200	0.300	0.008	0.012

TSSOP24



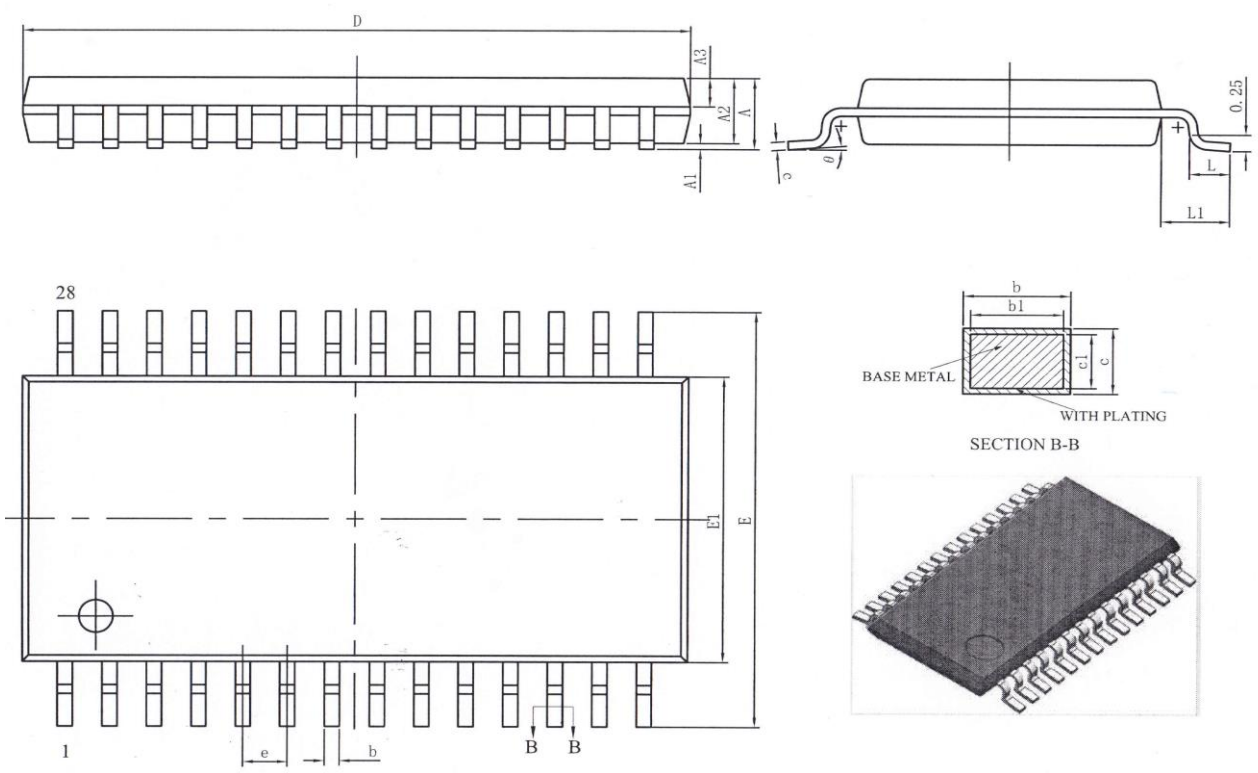
Symbol	Dimensions (mm)		
	Min	Nom	Max
A	–	–	1.20
A1	0.05	–	0.15
A2	0.80	1.00	1.05
A3	0.39	0.44	0.49
b	0.20	–	0.29
b1	0.19	0.22	0.25
c	0.13	–	0.18
c1	0.12	0.13	0.14
D	7.70	7.80	7.90
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65 BSC		
L	0.45	0.60	0.75
L1	1.00 BSC		
θ	0°	–	8°

SOP28



Symbol	Dimensions (mm)		Dimensions (inches)	
	Min	Max	Min	Max
A	−	2.65	−	0.104
A1	0.10	0.30	0.004	0.012
A2	2.25	2.35	0.089	0.093
A3	0.97	1.07	0.038	0.042
b	0.39	0.47	0.015	0.019
b1	0.38	0.44	0.015	0.017
c	0.25	0.29	0.010	0.011
c1	0.24	0.26	0.009	0.010
D	17.90	18.10	0.704	0.712
E	10.10	10.50	0.397	0.413
E1	7.40	7.60	0.290	0.299
e	1.27 BSC		0.05 BSC	
L	0.70	1.00	0.027	0.039
L1	1.40 REF		0.055 REF	
θ	0°	8°	0°	8°

TSSOP28



Symbol	Dimensions (mm)		
	Min	Nom	Max
A	–	–	1.20
A1	0.05	–	0.15
A2	0.80	–	1.00
A3	0.39	0.44	0.49
b	0.20	–	0.29
b1	0.19	0.22	0.25
c	0.14	–	0.18
c1	0.12	0.13	0.14
D	9.60	9.70	9.80
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65 BSC		
L	0.45	0.60	0.75
L1	1.00 BSC		
θ	0°	–	8°

20 附录：寄存器类型

缩写	描述	说明
WO	Write Only, read “0”	只写，读为 0
RO	Read Only	只读
RW	Read, Write	可读，可写
RW0	Read, Write “0” only	可读，只能写 0，写 1 无效
RW1	Read, Write “1” only	可读，只能写 1，写 0 无效
R_W1C	Read, Cleared by Writing “1”	可读，写 1 清零，写 0 无效
Res	Reserved, read “0”	保留位，只读，读为 0

联系信息

Fremont Micro Devices Corporation

#5−8, 10/F, Changhong Building
Ke-Ji Nan 12 Road, Nanshan District,
Shenzhen, Guangdong, PRC 518057

Tel: (+86 755) 8611 7811
Fax: (+86 755) 8611 7810

Fremont Micro Devices (HK) Limited

#16, 16/F, Block B, Veristrong Industrial Centre,
34−36 Au Pui Wan Street, Fotan, Shatin, Hong Kong SAR

Tel: (+852) 2781 1186
Fax: (+852) 2781 1144

http://www.fremontmicro.com

* Information furnished is believed to be accurate and reliable. However, Fremont Micro Devices Corporation assumes no responsibility for the consequences of use of such information or for any infringement of patents of other rights of third parties, which may result from its use. No license is granted by implication or otherwise under any patent rights of Fremont Micro Devices Corporation. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. Fremont Micro Devices Corporation products are not authorized for use as critical components in life support devices or systems without express written approval of Fremont Micro Devices Corporation. The FMD logo is a registered trademark of Fremont Micro Devices Corporation. All other names are the property of their respective owners.